

高エネルギー重イオン衝突及び  
偏極陽子衝突実験の為のシリコンピクセル型  
飛跡検出器の研究開発

2007年3月

新潟大学大学院自然科学研究科

新潟大学附属図書館



1053118919

藤原康平

新潟大学博士論文

Niigata University, Doctoral Dissertation

高エネルギー重イオン衝突及び偏極陽子衝突実験の為の  
シリコンピクセル型飛跡検出器の研究開発

Development of a silicon pixel tracker for an experiment of high  
energy heavy ion and polarized proton collisions

平成 19 年 3 月

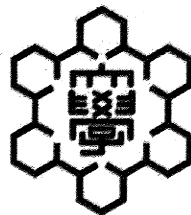
March 2007

新潟大学大学院自然科学研究科 エネルギー基礎科学専攻

F03J002E 藤原 康平

Niigata University, Graduate School of Science and Technology,  
Fundamental Science of Matter and Energy

Kohei Fujiwara



## 概要

アメリカ合衆国ニューヨーク州のブルックヘブン国立研究所 (BNL) で行なわれている PHENIX 実験では、2000 年の開始以来、陽子のスピン構造とクォーク・グルオン・プラズマ (Quark Gluon Plasma: QGP) の性質の解明を目的に実験が行なわれて来た。

現在の PHENIX 検出器に加え、重い  $c$  クォークや  $b$  クォーク由来の中間子の識別能力を高め、核子中のグルーオンの偏極度の測定に関する精度の向上及び、測定可能な  $Q^2$  と  $x$  の領域を広げる目的で、シリコン崩壊点検出器を 2009 年度までに建設し運転を開始する予定である。また、この刷新された検出器により、QGP 中を重いクォークと軽いクォークが通過する際のエネルギー損失の測定を行ない QGP の性質を明らかにする予定である。

シリコン崩壊点検出器は、内側 2 層のピクセル型検出器と外側 2 層のストリップ型検出器から構成される。特にピクセル型検出器は、衝突点最近傍へ設置されるので、粒子の飛跡を再構成する際の解像度を悪化させない為に、その物質質量による多重散乱を抑制せねばならない。しかし、その一方でデータの高速読み出し能力を有さなくてはならない。これらを達成する為に、センサーからのデータ読み出しを多重化させ、低物質質量を維持しながらも、高信号密度の信号伝送を可能とするバス基板の開発を行なった。そして、このバス基板を用いてシリコンピクセル検出器のプロトタイプを製作し、性能試験を行なった。

本論文では、シリコンピクセル検出器用の高信号密度バス基板の開発と、PHENIX 実験で使用する為のシリコンピクセル検出器の試作、及びその試験結果を報告し、このバス基板が PHENIX 実験で使用可能である事を述べる。

## Abstract

## Introduction

The PHENIX experiment was started in 2000 to investigate the spin structure of nucleons through polarized proton collisions and the properties of a hot and dense matter called Quark Gluon Plasma (QGP) through heavy ion collisions. The PHENIX experiment is located at Relativistic Heavy Ion Collider (RHIC) of Brookhaven National Laboratory in the US.

In the investigation, both b-quark and c-quark are important probes of the experimental objects. Those probes are expected to be produced in initial parton-parton collisions and they either penetrate the medium, or are absorbed, depending on its properties. Single electrons from their decays are reconstructed in the central spectrometer arms in the PHENIX detector. This spectrometer is designed with particular focus on efficient identification and high-resolution momentum measurement of electrons. However, this measurement is limited by the systematic uncertainty because of the background of Dalitz decays and photon conversion. For the improvement of the measurement accuracy, it is important to identify the heavy quarks directly. Therefore, the PHENIX detector will be upgraded with a silicon vertex detector (VTX) by the summer of 2009. The upgrade will provide new physics information which is not accessible with the current detector configuration; on the polarized gluon distribution in the proton and the energy loss of heavy quarks when they are passing through QGP. The VTX is designed to have the following performances.

1. A high spatial resolution of  $40\text{ }\mu\text{m}$  for the distance to the closest approach (DCA)
2. A momentum resolution of  $\sigma_P/P \sim 5\%$
3. The VTX can be used in proton-proton collisions and the high multiplicity environment of heavy ion collisions.
4. Reconstructing jets with the acceptance of almost full azimuthal coverage over a rapidity range of  $|\eta| < 1.2$ .
5. The PHENIX data acquisition (DAQ) handles Level-2 trigger every 25 kHz. Therefore, the VTX has to be read out within  $40\text{ }\mu\text{sec}$ .
6. The spatial resolution and momentum resolution will get worse due to multiple scattering inside the VTX and the generation of electrons by  $\gamma$  increases the background in outer detectors. The VTX is required to have a total material budget as small as possible.

In order to realize such a detection capability, we have chosen a 4-layer configuration in which the inner two layers are built with pixel detectors and the outer two layers are built with strip detectors. In a later section, the PHENIX pixel detector and its development will be discussed in detail.



## Silicon Pixel Vertex Detector

The keystone of the Silicon Pixel Detector is a sensor hybrid which consists of a silicon pixel sensor bump-bonded with a pixel readout chip. The ALICE1LHCb readout chips that are used are fabricated using the IBM 0.25  $\mu\text{m}$  CMOS process of radiation tolerant technology. The functionality of the readout chip was confirmed up to 30 MRad by CERN Experimental Physics Division, Micro Electronics group. The size of the chip is 15.6 mm  $\times$  13.7 mm with 150  $\mu\text{m}$  thickness. One chip has 8,192 ( $32 \times 256$ ) channels, each of which is pre-amplified and discriminated with a configurable threshold level. The discriminated binary signal is delayed with programmable duration, and then, stored to be read out by a downstream data acquisition system. The chip has 44 internal 8-bit Digital-to-Analog Converters for controlling the threshold of discriminators and various timings. All configurations are set via the JTAG serial interface (IEEE std. 1149.1-1990). The chip is operated using a 10 MHz clock. Therefore, the maximum readout speed is 25.6  $\mu\text{sec}$  with a 32-bit line.

The sensor chip is based on the  $\text{P}^+/\text{N}/\text{N}^+$  silicon with a thickness of 200  $\mu\text{m}$  fabricated by CANBERRA. It is partitioned into four active areas, each of which has 32 columns ( $z$ )  $\times$  256 rows ( $\phi$ ) with a pixel size of 425  $\mu\text{m}$  ( $z$ )  $\times$  50  $\mu\text{m}$  ( $\phi$ ).

Four readout chips are bump-bonded on a single sensor chip with microscopic solder balls of 20  $\mu\text{m}$ . This is called sensor hybrid. The size of the sensor hybrid is 15.6 mm  $\times$  57 mm and total thickness is 380  $\mu\text{m}$  approximately. A picture of a sensor hybrid is shown in Figure 1.

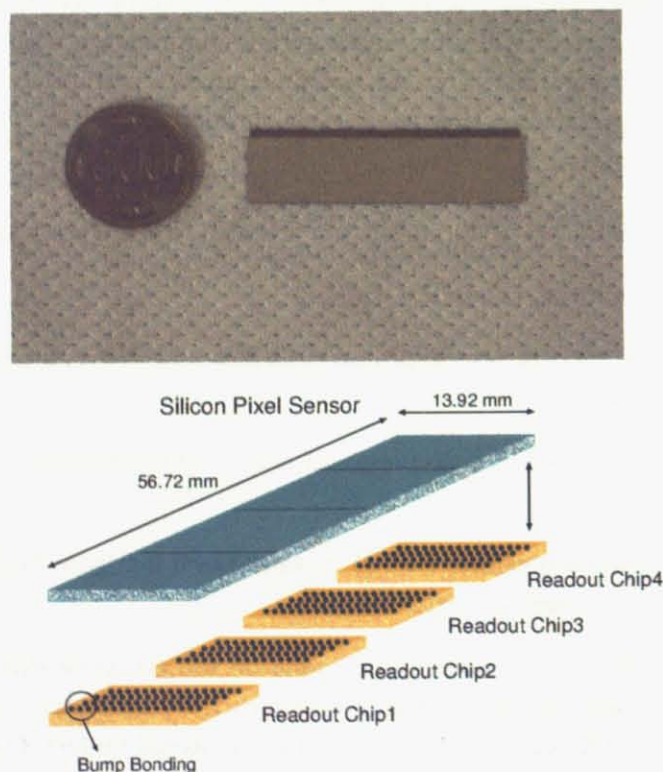


Figure 1: Picture of a sensor hybrid. (Top): Sensor hybrid and 500 yen coin, (Bottom): Structure of sensor hybrid.

The unit of a single detector, a stave, consists of four sensor hybrid. The first layer is at a radius of 2.5 cm and consists of 10 staves. The second layer at a radius of 5 cm consists of 20 staves. The silicon pixel layers are built from 30 sensor hybrid staves with pixel sensors placed cylindrically and covering approximately 22 cm along the beam direction. One stave is electrically divided into two independent half-ladders shown in Figure 2. The sensor hybrids of one half-ladder are wire-bonded to a readout bus made of Copper-Aluminum-Polyimide Flexible Printed Circuit board (FPC), which is supported by a carbon composite beam. The bus is connected to a Silicon Pixel Interface ReadOut (SPIRO) card which controls the readout chips, reads out and transfers the binary pixel data to the PHENIX DAQ system via 1.6 Gbit/sec optical links.

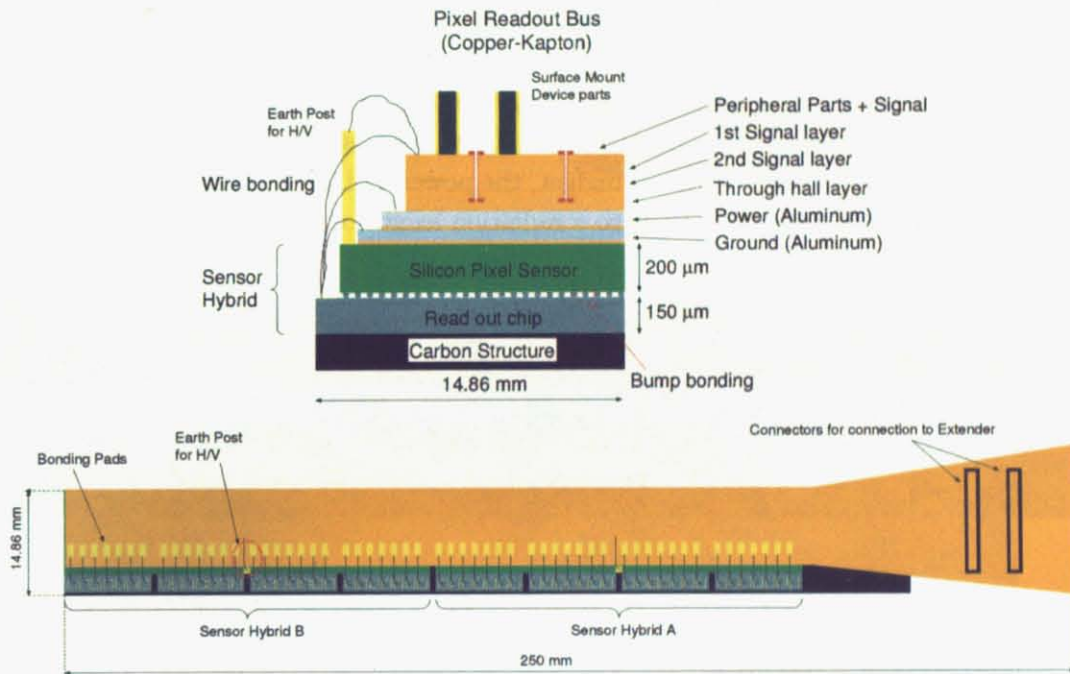


Figure 2: Structure of half-ladder. (Top): Cross section of half-ladder. (Bottom): Structure of assembled half-ladder.

The SPIRO board carries the digital PILOT Application Specific Integrated Circuit (ASIC), which multiplexes and controls the readout chips. The multiplexed data is passed to a serializer ASIC (GOL ASIC). The serialized data is transmitted via optical links. The analog PILOT ASIC provides regulated voltages, current and reference bias to the readout chips.



## Development of a new FPC

To meet the detector readout requirement by the PHENIX DAQ system, four ALICE1LHCb readout chips are read out in parallel simultaneously. This corresponds to a readout speed of one half-ladder in  $51.2 \mu\text{sec}$ . Moreover, to avoid mechanical conflict with the neighboring staves, the pixel FPC must fit the width of the sensor hybrid itself, i.e. 1.5 cm. Therefore, the “1.5 cm bus” is designed based on the Copper-Aluminum Polyimide hybrid with dimensions of 13.9 mm in width, and 250 mm in length.

Realizing the system described above, a new development of a high signal density FPC is the key element of the silicon pixel detector. The “1.5 cm bus” must transfer 128-bit data to SPIRO in parallel, and also control signal lines for readout chips.

The “1.5 cm bus” which is shown in Figure 3 consists of six sandwiched layers. It contains two signal layers, two through hole layers, power and ground layers. In the signal layers, 188 lines have to be put on the “1.5 cm bus” longitudinally. Thus, we choose a design with the following dimensions: one signal and control line have  $60 \mu\text{m}$  pitch, the line width is  $30 \mu\text{m}$ , the spacing is  $30 \mu\text{m}$  and the thickness is  $3 \mu\text{m}$ . Here, the signal layer is produced with a Copper based technology. To maintain small material budget, the power and ground layers were chosen to be  $50 \mu\text{m}$  thick aluminum foils. This leads to a radiation length of 0.22 %.

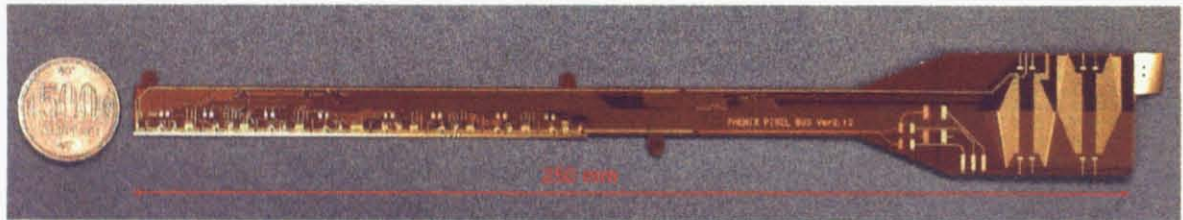


Figure 3: Photograph of “1.5 cm bus”.

The fabricated bus is at the cutting edge of presently available technologies. During the development, the HSPICE simulator was used to evaluate the performance of the “1.5 cm bus”, to characterize its impedance, resistance and transmitting wave forms as well as to simulate an ideal case. In this development, firstly the behavior of propagation signal, the crosstalk induced on the “1.5 cm bus” and the characteristic impedance are estimated with the HSPICE simulator. The HSPICE models shown as Figure 4 and Figure 5 were prepared.

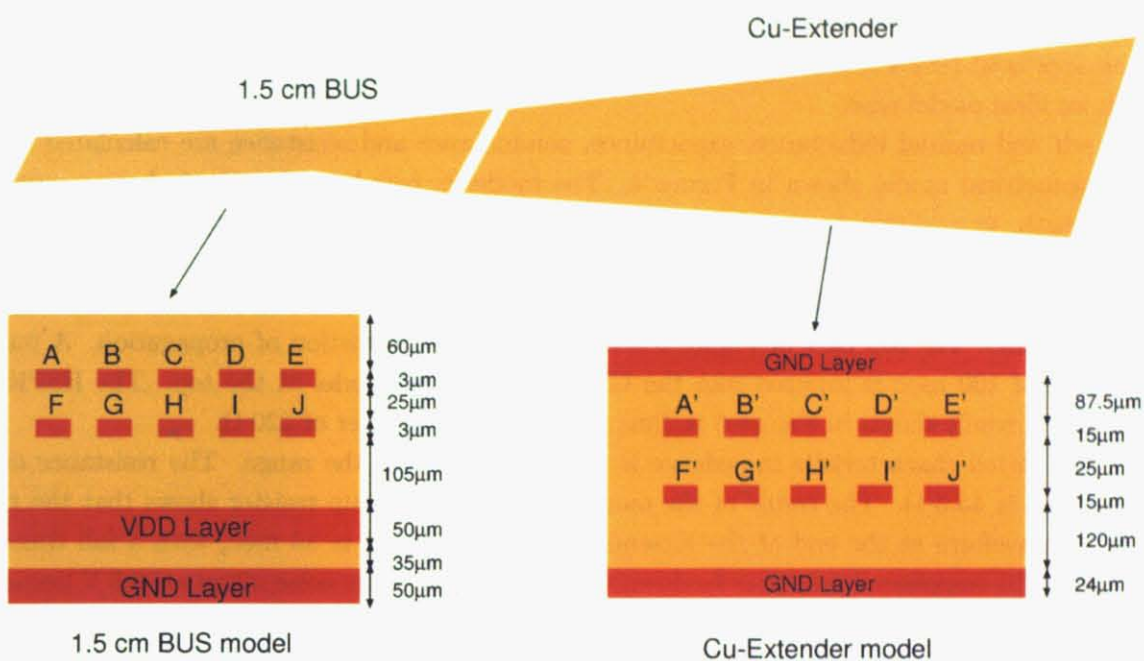


Figure 4: Geometrical model of "1.5 cm bus" evaluation.

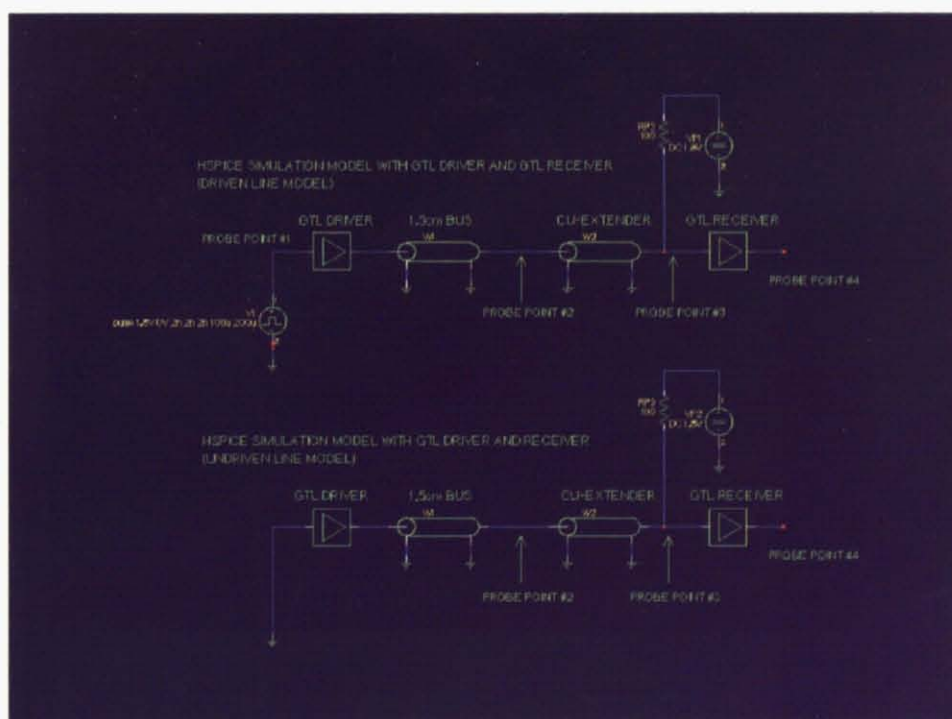


Figure 5: HSPICE model of "1.5 cm bus". (Top): Model for the evaluation of propagation, (Bottom): Model for the evaluation of crosstalk.



The resistance and propagation on the newly produced “1.5 cm bus” is measured to test the quality. The resistance value found is  $40.7 \pm 2.4 \Omega$ , where as the value including through hole resistance is  $50.4 \pm 2.4 \Omega$ . The simulations using HSPICE are performed to compare these results with an ideal model case.

The self and mutual inductance, capacitance, conductance and resistance are calculated with the geometrical model shown in Figure 4. The model is based on the physical cross section and length, in addition to the dielectric and loss tangent of the polyimide base film. Next, the HSPICE model shown in Figure 5 is prepared. This includes the GTL driver in the ALICE1LHCb readout chip, the “1.5 cm bus”, the extender and the GTL receiver in the digital PILOT ASIC. The top part of Figure 5 shows a model of evaluation of propagation. A pulse of width of 100 nsec is injected into the GTL driver in the model at the top. The HSPICE simulation result shown in Figure 6 is done with a pull-up resistor of  $220 \Omega$ .

The calculated characteristic impedance is  $172 \Omega$  to  $192 \Omega$  in the range. The resistance of a signal line is  $43.3 \Omega$ . The result of the model with  $220 \Omega$  pull-up resistor shows that the rise time of waveform at the end of the Extender (Probe Point#3) is 80 nsec, with a fall time of 15 nsec. The transferred pulse can be down to 0.3 V, therefore the noise margin is 0.5 V because the reference voltage of GTL signals is at 0.8 V. The level of crosstalk (Probe Point#3') is  $0.3 V_{PP}$ . Probe Point#4 is digital logic read out in a Digital PILOT ASIC. The duty cycle is 100 nsec:100 nsec. Consequently, the “1.5 cm bus” with the Extender and the  $220 \Omega$  pull-up resistors can transfer the data correctly.

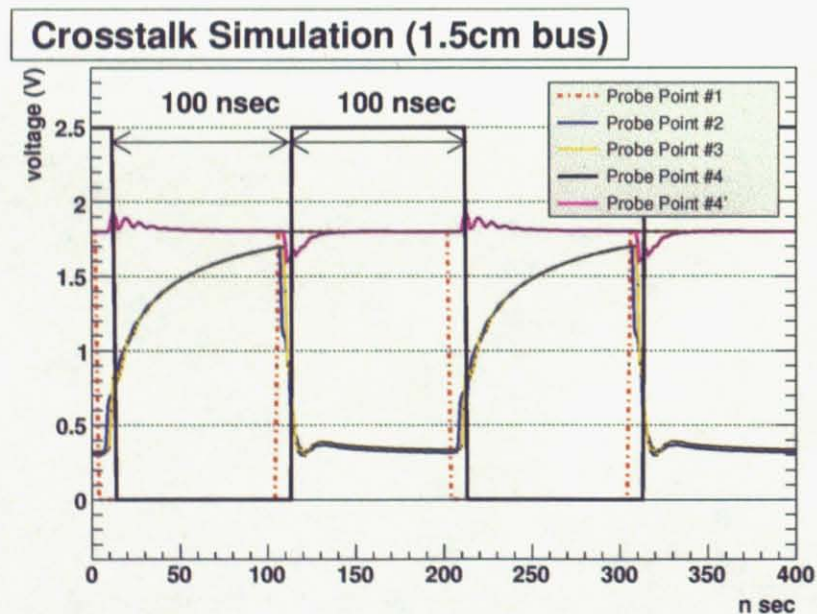


Figure 6: Simulation result for “1.5 cm bus” with  $220 \Omega$  of pull-up resistors.

The resistance and propagated signals have also been measured on prototype pixel bus to compare with simulation result. The measured resistance on a data line in signal layer is  $40.7 \pm 2.4 \Omega$ , while the resistance of a data line with three through holes is  $50.4 \pm 2.4 \Omega$ . Therefore, the resistance of a through hole is estimated to be approximately  $(50.4 \Omega - 40.7 \Omega)/3 \sim 3 \Omega$ .

This is consistent with the value expected from simulation within systematic uncertainty, thus the prototype bus seems to satisfy our requirement. Moreover, the propagation characteristic on a “1.5 cm bus” is compared with the result of the HSPICE simulation. The setup of the measurement is shown in Figure 7. The modeled measurement setup for the HSPICE simulation is shown as Figure 8. The pulse injected into this model has a rise time of 2 nsec, a fall time of 2 nsec, a pulse width of 100 nsec and an amplitude of 3 V. Figure 9 shows the result of HSPICE simulation. The transferred pulse has an amplitude of 3 V, the waveform has an undershoot of 3.1 V and an overshoot of  $-0.2$  V. Figure 10 shows the pulse measured with 300 MHz analog band width scope. The undershoot and overshoot are also confirmed by the measurement, where the level of undershoot is  $-0.5$  V, and the level of overshoot is 3.8 V. As a result, it is confirmed that the simulated characteristics are reasonably accurate as compared to the real products and the pulse will be transferred correctly.

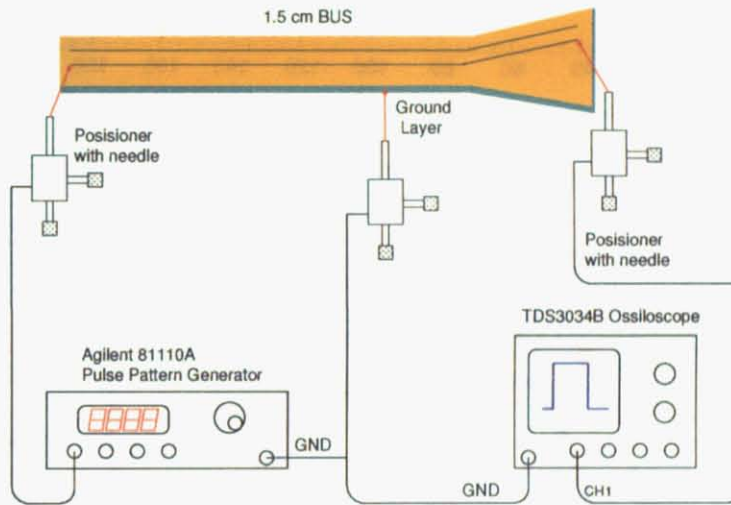


Figure 7: Setup of measurement of propagation characteristics on “1.5 cm bus”.

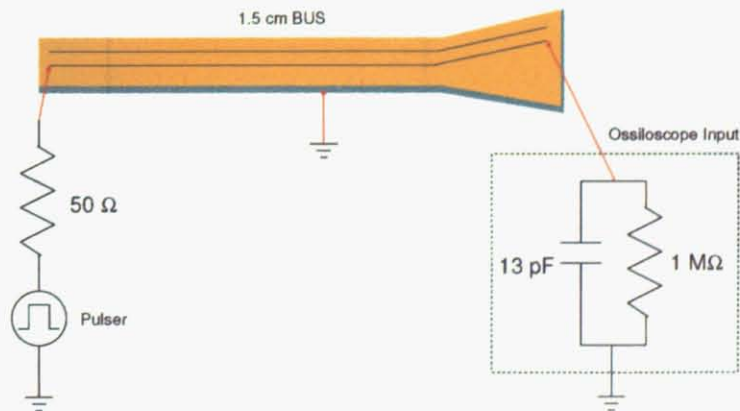


Figure 8: HSPICE model of the propagation measurement setup.



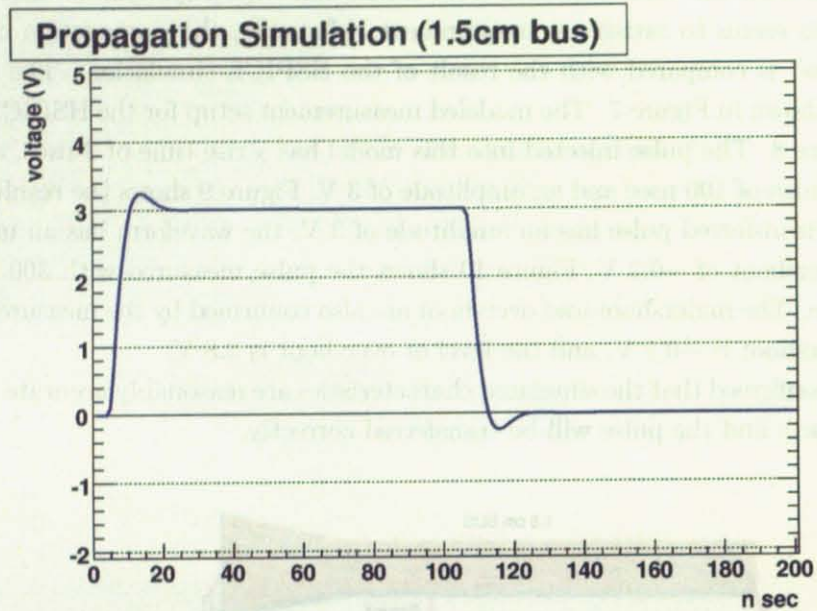


Figure 9: Result of HSPICE simulation of propagation characteristic.

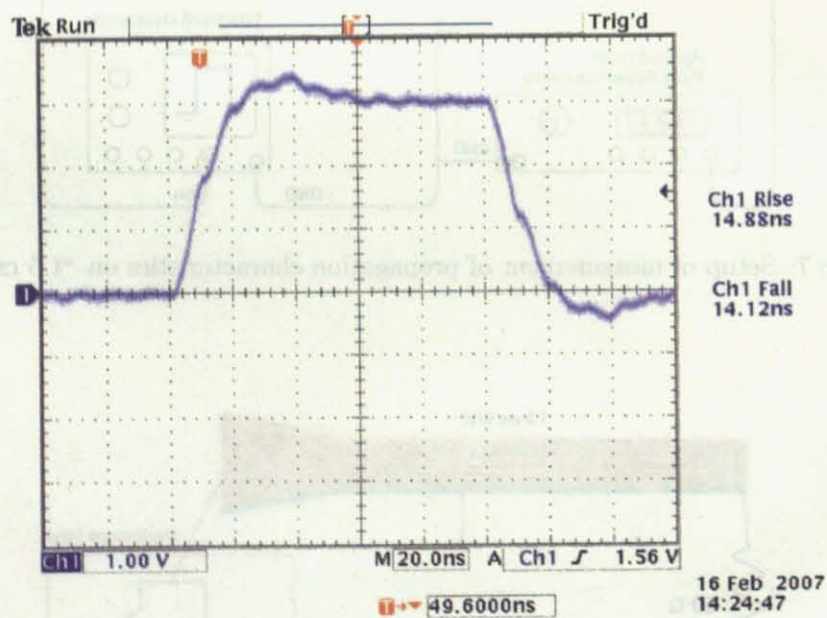


Figure 10: Measured propagated pulse.

## Evaluation of half-ladder

Concerning the functionality of the “1.5 cm bus”, a system test of prototype pixel detector with pixel readout board, SPIRO, is performed with a radioactive source and with cosmic ray. The purpose of the test is to construct a test system for quality assurance of the VTX detector. The prototype detector was confirmed to be well functioning by measuring hits from a  $\beta$ -ray source of  $^{90}\text{Sr}$ . Figure 11 shows the hit map with  $\beta$ -ray source of  $^{90}\text{Sr}$ . Figure 12 shows the distribution of cluster size for each chip taken by a self trigger. The source was put on between the chip 4 and the chip 3. In the cluster distributions on chip 4 and chip 3, the cluster size of 3 is dominant. It is therefore demonstrated that the prototype detector with a self trigger can be controlled and read out data successfully.

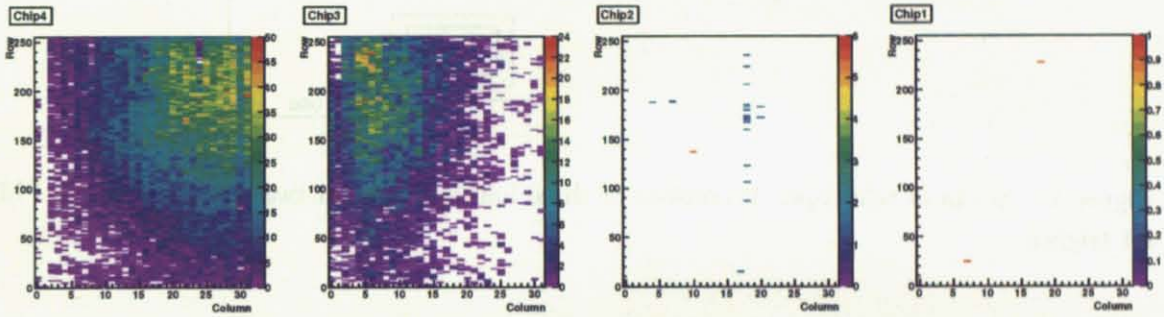


Figure 11: Hit-map by  $\beta$ -ray source.

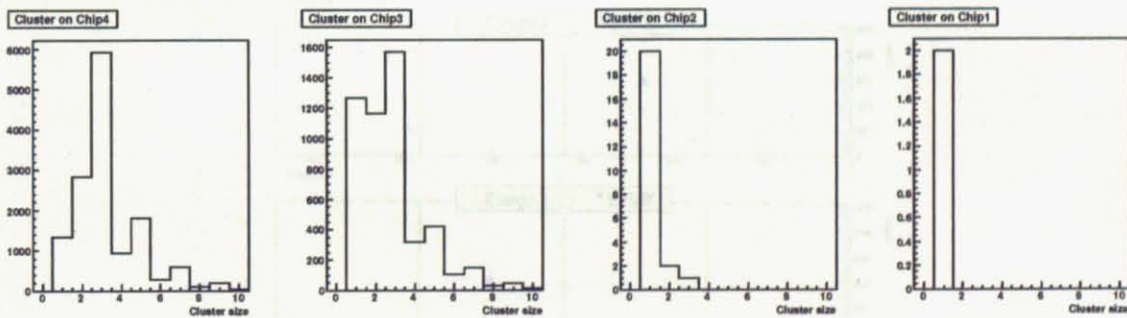


Figure 12: Cluster size distribution.

For the test with cosmic ray, we build three detector prototypes to track cosmic ray events. Figure 13 shows the setup of the telescope. Three prototypes are stacked up lengthwise. The trigger is made of two scintillators with PMT and self trigger signal (FastOR) on the layer1 or layer2. 56 effective events were taken during two days. Figure 14 shows a typical cosmic-ray event recorded with this telescope.



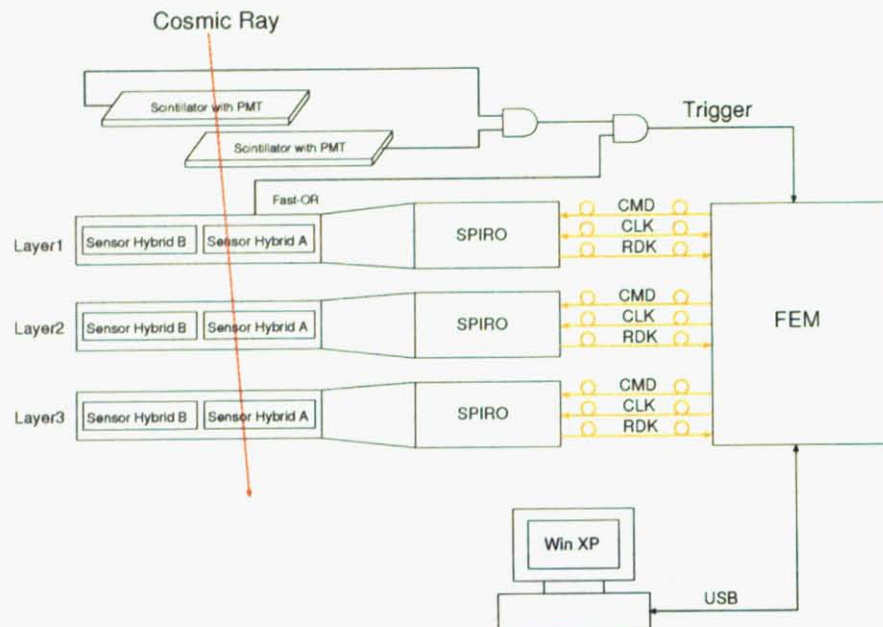


Figure 13: Setup of telescope. It consists of three half-ladders and two scintillator with PMT for trigger.

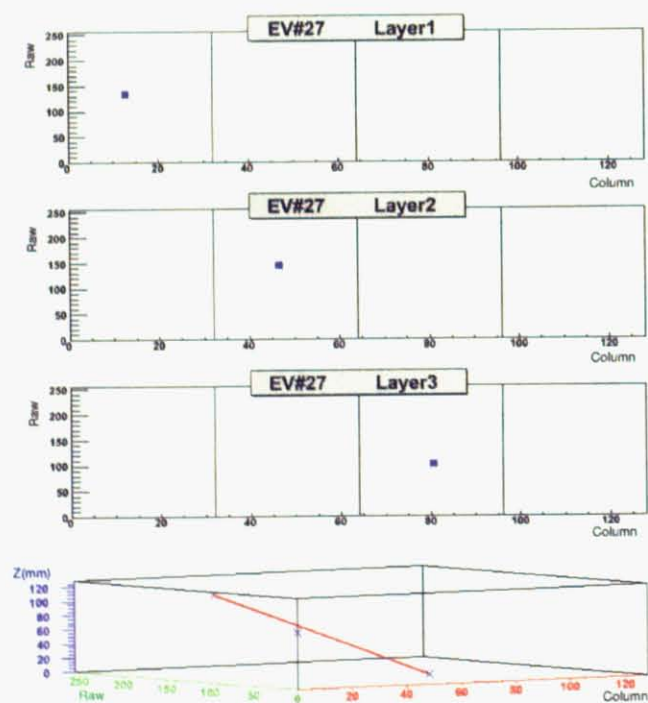


Figure 14: Typical cosmic-ray event in telescope.

## Conclusion

The PHENIX detector upgrade with the VTX is in progress. The upgrade will extend new physics capabilities in both polarized proton-proton collisions and heavy-ion collisions at the RHIC. The system test of the prototype pixel detectors was successful. The prototype can be controlled and record hits with radioactive source and cosmic ray successfully

The Copper-Aluminum-Polyimide “1.5 cm bus”, which is the key part of the silicon pixel detector, has been completed successfully. The performance of the “1.5 cm bus” is measured and checked with the HSPICE simulation. The comparison with simulation indicates that the functionality of the “1.5 cm bus” satisfies the PHENIX design and requirement.

Finally, the prototype of PHENIX silicon pixel half-ladder with the “1.5 cm bus” shown in Figure 15 has been produced.

The current consumption is 1.8 A when 2.05 V is applied to the half-ladder. It is expected as approximately 2 A from the result of the prototype pixel detector. The surface temperature distribution on the PHENIX silicon pixel half-ladder is shown in Figure 16. The maximum temperature is 30.9 °C. The PHENIX silicon pixel half-ladder is expected working well.

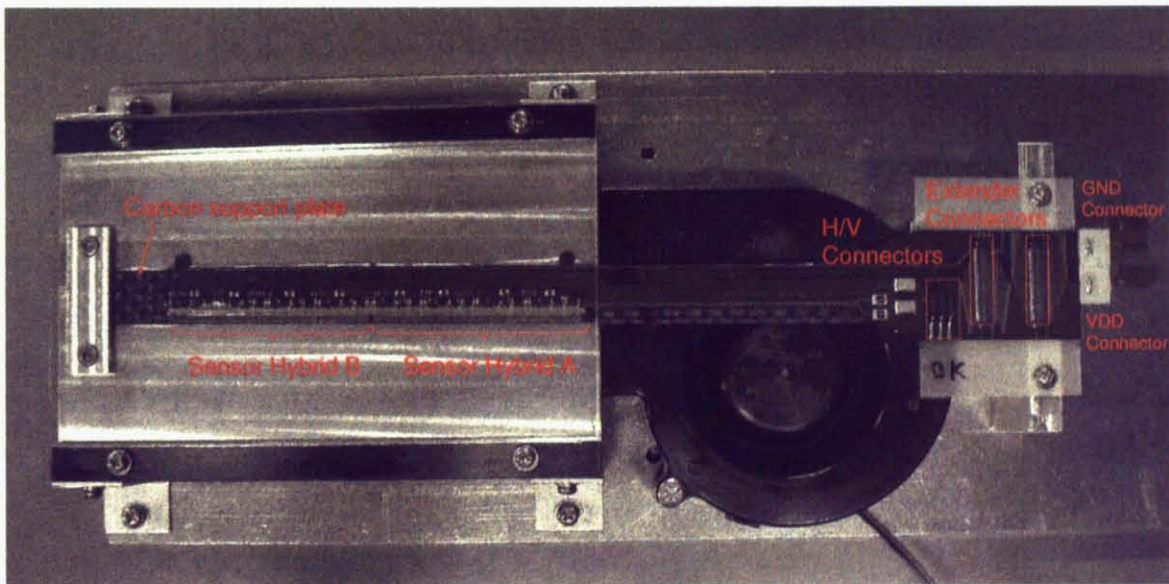


Figure 15: The PHENIX silicon pixel half-ladder.

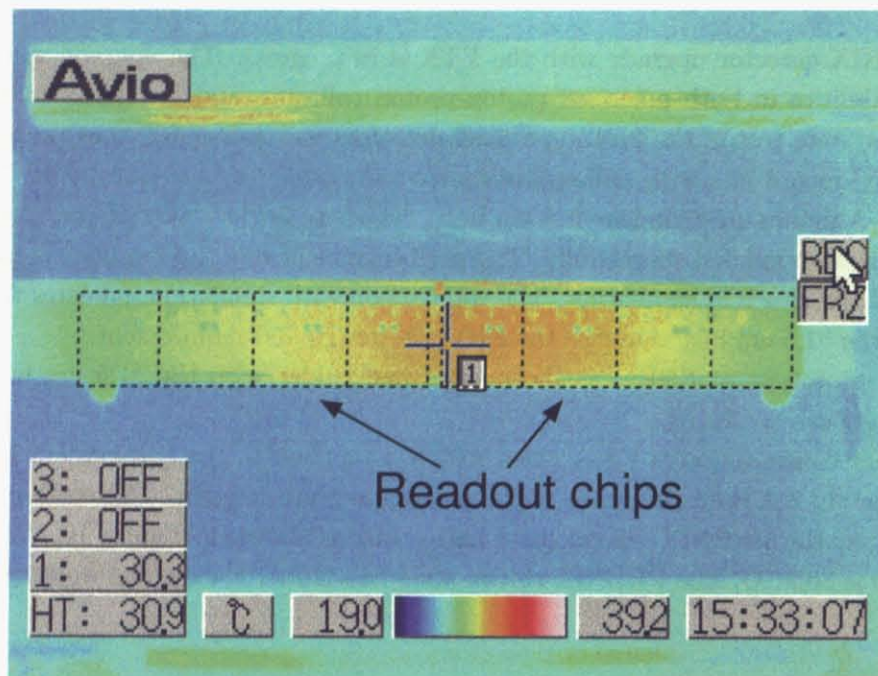


Figure 16: Temperature distribution on the PHENIX silicon pixel half-ladder.

# 目次

第1章 序論	21
1.1 PHENIX 実験の目的	21
1.1.1 陽子のスピンの解明	21
1.1.2 Quark Gluon Plasma (QGP)	22
1.2 実験概要	24
1.3 PHENIX 検出器	26
1.4 現状の PHENIX 検出器での物理	28
1.5 シリコン崩壊点検出器を用いる物理	32
1.6 本研究の目的	33
第2章 シリコン崩壊点検出器	34
2.1 開発目的	34
2.1.1 bクォークとcクォークの識別	34
2.1.2 $\gamma$ とジェットの事象を用いた核子中のパートン運動量の再構成	36
2.2 要求性能	39
2.3 シリコン崩壊点検出器	40
2.3.1 シリコン崩壊点検出器の構造	40
2.3.2 シリコン崩壊点検出器の機械的構成	41
2.3.3 シリコンストリップ検出器	42
2.3.4 シリコンピクセル検出器	43
2.4 シリコンピクセル検出器の詳細	43
2.4.1 シリコンピクセルセンサーハイブリッド	43
2.4.2 シリコンピクセルセンサー	44
2.4.3 ALICE1LHCb 読み出しチップ	45
2.4.4 高密度信号バス基板	52
2.4.5 シリコンピクセルステイブ	52
2.5 センサーハイブリッドの読み出しと制御	54
2.5.1 ハーフラダーの機械的構造	54
2.5.2 ハーフラダーの読み出し方法	55
2.5.3 SPIRO ボード	57
2.5.4 デジタルパイロット ASIC	58
2.5.5 アナログパイロット ASIC	61
2.5.6 GOL ASIC	61
第3章 PHENIX 高密度信号バスの開発	62
3.1 開発の方針	62
3.1.1 開発の手順	63

3.2	バスの構造	63
3.2.1	3 cm バスの構造	64
3.2.2	1.5 cm バスの構造	67
3.2.3	バスの材質	70
3.2.4	使用材料の諸特性	70
3.3	伝送特性シミュレーション	71
3.3.1	HSPICE シミュレータ	71
3.3.2	マイクロストリップ型線路	71
3.3.3	シミュレーションに必要なパラメータ	72
3.3.4	有損失線路のモデル化	72
3.3.5	線路の特性インピーダンス	73
3.4	3 cm バスのシミュレーション	74
3.4.1	シミュレーションモデル	74
3.4.2	シミュレーションの結果	75
3.4.3	伝送波形の観測	77
3.5	1.5 cm バスの開発	78
3.5.1	3 cm バスからの技術的な反映	78
3.5.2	1.5 cm バスの製造工程	79
3.5.3	1.5 cm ハーフラダー	83
3.5.4	シミュレーションモデル	84
3.5.5	シミュレーションの結果	85
3.6	性能試験	88
3.6.1	各線の電気抵抗の測定	88
3.6.2	第2層と第3層の信号線の電気抵抗	88
3.6.3	各層が貼り合わされたバスの電気抵抗	89
3.6.4	温度上昇試験	89
3.6.5	1.5 cm バスの伝送特性の測定	90
3.7	まとめ	93
第4章	ハーフラダーの性能試験	94
4.1	性能試験	94
4.2	テストパルスを用いる試験	94
4.2.1	セットアップ	94
4.2.2	試験結果	97
4.3	放射線源を用いる試験	98
4.3.1	セットアップ	98
4.3.2	試験結果	100
4.4	宇宙線を用いた試験	101
4.4.1	セットアップ	101
4.4.2	試験結果	103
4.5	まとめ	105
第5章	結論	106

付 録 A 読み出しチップとセンサーハイブリッドの検査	109
A.1 読み出しチップの検査	109
A.2 センサーハイブリッドの検査	112
A.3 JTAG 規格	114
A.4 ALICE1LHCb 読み出しチップの動作方法	117
A.4.1 基本動作	117
A.4.2 内部 DAC の設定方法	119
A.4.3 ピクセルコラムの設定方法	120
A.4.4 データの読み出し	121
付 録 B 電磁両立性 (EMC)	123
B.1 EMC 対策	123
B.1.1 自己干渉両立性とシグナルインテグリティ	123
B.1.2 回路レイアウトの基本的事項	123
B.1.3 最小インピーダンス経路	124
B.1.4 共通インピーダンス対策	124
B.1.5 スイッチングノイズ対策	126
B.1.6 電源系のインダクタンス成分の低減	126
B.1.7 電源デカップリング	127
付 録 C 周波数依存のパラメータ	128
C.1 表皮効果	128
C.2 誘電損失	129
付 録 D 線路のインピーダンス	131
D.1 電信方程式	131
参考文献	135



## 表 目 次

1.1	Run-5 時の PHENIX 検出器のサブシステムとその性能 . . . . .	27
1.2	2009 年度までに PHENIX 検出器に新たに設置されるシステムとその性能 . . . . .	27
2.1	主要な c クォークを含む中間子と b クォークを含む中間子の主な崩壊モード及び、 寿命と質量 . . . . .	35
2.2	PHENIX シリコンストリップ崩壊点検出器の諸元 . . . . .	42
2.3	PHENIX シリコンピクセル崩壊点検出器の諸元 . . . . .	43
2.4	ALICE1LHCb 読み出しチップへの供給電圧 . . . . .	48
2.5	ALICE1LHCb 読み出しチップの検査結果 . . . . .	49
2.6	デジタル PILOT のデータフォーマット . . . . .	60
3.1	3 cm バスの諸元 . . . . .	65
3.2	1.5 cm バスの諸元 . . . . .	66
3.3	1.5 cm バスにある線の種類 . . . . .	68
3.4	1.5 cm バスと 3 cm バスの使用材料の諸特性 . . . . .	70
3.5	3 cm バスの各層における電気的特性 . . . . .	77
3.6	1.5 cm バスと 3 cm バスの VDD 層及び GND 層の特性比較 . . . . .	79
3.7	1.5 cm バスの各層における電気的特性 . . . . .	87
3.8	第 2 層と第 3 層の信号線の電気抵抗 . . . . .	88
3.9	スルーホールで接続された信号線の電気抵抗 . . . . .	89
4.1	宇宙線の飛跡を捉えたデータ中の取得トリガ数と有効トリガ数 . . . . .	103
4.2	各層のレシディアル分布 . . . . .	104
A.1	ALICE1LHCb 読み出しチップの検査結果 . . . . .	110
A.2	センサーハイブリッドの検査結果 . . . . .	113
A.3	TAP の信号線の種類と機能 . . . . .	114
A.4	ALICE1LHCb 読み出しチップのインストラクションレジスタ . . . . .	117
A.5	ALICE1LHCb 読み出しチップのデータレジスタ . . . . .	118
A.6	内部 DAC の設定用ビット列 . . . . .	119
A.7	設定を行うコラムと動作の選択用ビット列 . . . . .	120
A.8	Configuration register の動作選択ビット . . . . .	120
A.9	コラムの設定用のビット列 . . . . .	120

## 図 目 次

1	Picture of a sensor hybrid. (Top): Sensor hybrid and 500 yen coin, (Bottom): Structure of sensor hybrid. . . . .	2
2	Structure of half-ladder. (Top): Cross section of half-ladder. (Bottom): Structure of assembled half-ladder. . . . .	3
3	Photograph of “1.5 cm bus”. . . . .	4
4	Geometrical model of “1.5 cm bus” evaluation. . . . .	5
5	HSPICE model of “1.5 cm bus”. (Top): Model for the evaluation of propagation, (Bottom): Model for the evaluation of crosstalk. . . . .	5
6	Simulation result for “1.5 cm bus” with 220 $\Omega$ of pull-up resistors. . . . .	6
7	Setup of measurement of propagation characteristics on “1.5 cm bus”. . . . .	7
8	HSPICE model of the propagation measurement setup. . . . .	7
9	Result of HSPICE simulation of propagation characteristic. . . . .	8
10	Measured propagated pulse. . . . .	8
11	Hit-map by $\beta$ -ray source. . . . .	9
12	Cluster size distribution. . . . .	9
13	Setup of telescope. It consists of three half-ladders and two scintillator with PMT for trigger. . . . .	10
14	Typical cosmic-ray event in telescope. . . . .	10
15	The PHENIX silicon pixel half-ladder. . . . .	11
16	Temperature distribution on the PHENIX silicon pixel half-ladder. . . . .	12
1.1	$g + g \rightarrow q + \bar{q}$ . . . . .	22
1.2	$g + q \rightarrow \gamma + q$ . . . . .	22
1.3	温度と密度によるハドロンの状態図 . . . . .	23
1.4	RHIC の全体像 . . . . .	25
1.5	PHENIX 検出器の全体像 . . . . .	26
1.6	a) 横運動量 $P_T$ に対する $\pi^0$ 生成の微分断面積 (黒点) と KKP 破砕関数 (実線) と Krezer 破砕関数 (破線) を用いた理論計算との比較。b) 統計誤差 (点) と系統誤差 (帯) の比較。c) KKP を用いた理論値と実験データとの比較。d) Krezer を用いた理論値と実験データとの比較。 . . . . .	28
1.7	a) 理論的スケール $\mu$ に対する Direct Photon の横運動量 $P_T^\gamma$ に依存する生成断面積と NLO の摂動的 QCD との比較。b) データと理論スケール $\mu = p_T$ における NLO の摂動的 QCD との比較。 . . . . .	29
1.8	Run-3 と Run-4 から求めた $A_{LL}^{\pi^0}$ と運動量 $p_T$ のプロットと核子中のパートンのスピン依存を含む構造関数である GRSV モデルとの比較 . . . . .	30
1.9	原子核修正因子 $R_{AA}$ と衝突に関与した粒子数 $N_{part}$ との関係 . . . . .	31



1.10	現 PHENIX 検出器で $\Delta G$ を測定する際の $x$ の範囲と、シリコン崩壊点検出器を使用した場合に予想される $x$ の範囲	32
1.11	現 PHENIX 検出器での $\sqrt{s} = 200$ GeV における重いフレーバーからの電子の楕円方位角異方性 $v_2$	33
2.1	b クォークと c クォークの識別方法。A は DCA の測定方法、B は一次崩壊点から二次崩壊点までの距離を測定する方法を示す。	35
2.2	Dalitz, チャーム、ボトム崩壊に由来する電子の DCA 分布。シリコン崩壊点検出器 1 層当たりの放射長が 1 % と仮定し、 $P_T > 0.5$ GeV/c と $P_T > 1$ GeV/c の場合の DCA 分布 (左) と 1 層当たりの放射長が 2 % と仮定し、 $P_T > 0.5$ GeV/c と $P_T > 1$ GeV/c の場合の DCA 分布 (右)。	36
2.3	クォーク・グルーオン・コンプトン散乱 (左)、クォークと反クォークとの対消滅 (右)	37
2.4	$\sqrt{s} = 200$ GeV の偏極陽子衝突実験における $g + q \rightarrow \gamma + q$ 及び、 $q + \bar{q} \rightarrow \gamma + q$ の発生比率と運動量 $p_T$ の関係	37
2.5	陽子衝突により生成する $\gamma$ とジェット	38
2.6	シリコン崩壊点検出器の概念図	40
2.7	シリコン崩壊点検出器の断面図	41
2.8	シリコンストリップセンサー (Stripixel センサー) の概念図	42
2.9	シリコンピクセルセンサーハイブリッドの写真とその概念図	44
2.10	5 インチピクセルセンサーウエハーの写真 (A) とセンサーの拡大写真 (B)	45
2.11	ALICE1LHCb 読み出しチップ上の信号処理回路とその周辺回路	46
2.12	ピクセル回路のブロック図	46
2.13	ディスクリミネータのブロック図	47
2.14	読み出しチップの検査の流れ	48
2.15	ピクセル回路の閾値の測定結果	49
2.16	クラス 1 チップの平均最小閾値の分布 (左) とノイズ分布 (右)	50
2.17	バンプボンディング後におけるクラス 1 チップの平均最小閾値の分布 (左) とノイズ分布 (右)	50
2.18	クラス 1 と分類された読み出しチップ中で動作するピクセル回路数のヒストグラム	51
2.19	ハンダバンプ (直径約 20 $\mu\text{m}$ )	52
2.20	シリコンピクセルステイブとバレルの構造図。A: シリコンピクセルステイブの構造。B: ステイブの固定方法。	53
2.21	バレル内部の各層の構成概念図	54
2.22	シリコンピクセルラダーの断面の概略図 (上) と全体の概念図 (下)	55
2.23	ALICE 仕様でのハーフラダーからのデータの読み出し図	56
2.24	ハーフラダーからのデータの読み出し図	56
2.25	チップイネーブル線とデータ線の接続図	56
2.26	SPIRO ボードのブロック図 (左) と SPIRO ボードの写真 (右)	57
2.27	デジタルパイロットチップと各デバイス間の JTAG 接続と、デジタルパイロット ASIC 内部の切り換えスイッチ	59
2.28	デジタルパイロットからのデータの出力。A はアイドル状態を示す。B は ALICE1LHCb 読み出しチップからデータが読み出される様子を示す。	60
3.1	PHENIX 高密度信号バス (1.5 cm バス) とセンサーハイブリッドの位置関係	62
3.2	1.5 cm バスの断面の概念図	63

3.3	3 cm バスの断面の概念図	63
3.4	A は 3 cm バスの各層の構成の概念図、B は 3 cm バスの各層とスルーホール及びボンディングパッドの関係の概念図。	65
3.5	3 cm バスの写真	66
3.6	A は 1.5 cm バスの各層の構成の構成図、B は 1.5 cm バスの各層とスルーホール及びボンディングパッドの関係の概念図	67
3.7	1.5 cm バスの写真	67
3.8	1.5 cm バスとセンサーハイブリッドで構成されるハーフラダーの図面	69
3.9	3 cm バスとセンサーハイブリッドで構成されるハーフラダーの図面	69
3.10	マイクロストリップ型線路のモデルの断面図	71
3.11	3 cm バス評価用の電場計算用の幾何学的モデル	74
3.12	3 cm バス評価用の HSPICE モデル。上図はパルスを送信し、出力波形とデジタルパイロット ASIC 内部で認識される論理を確認するモデル。下図は上図でパルスを送信した際に誘起されるクロストークを計算するモデル。Probe Point#1 は、GTL ドライバへ入力されるパルスの観測点。Probe Point#2 は、3 cm バスとエクステンダとの節点における観測点。Probe Point#3 は、エクステンダ出口での観測点。Probe Point#4 は、デジタルパイロット ASIC 内の GTL レシーバ出力における観測点。	75
3.13	3 cm バスのシミュレーション結果	76
3.14	オシロスコープで 3 cm バスが伝送したデータ信号を観測するセットアップ図	77
3.15	オシロスコープで観測したデータ信号の波形	78
3.16	電圧レギュレータによる供給電圧の補正機能	79
3.17	エッチング後の第 2 層及び第 3 層とパターンの拡大写真	80
3.18	第 1 層から第 4 層まで完成し、金メッキが完了した 1.5 cm バス。赤線で囲まれた部分が最終工程へまわる。それ以外の部分は、各層のアライメントと導通試験の為に設けられた。	81
3.19	表面実装部品が搭載された 1.5 cm バス。A は 1.5 cm バスの全体写真。B は表面実装部品が実装された部分の拡大図。	82
3.20	1.5 cm バスで製作したハーフラダーとテストベンチ	83
3.21	1.5 cm バスの電場計算用の幾何学的モデル	84
3.22	1.5 cm バスの HSPICE モデル。上図はパルスを送信し、出力波形とデジタルパイロット ASIC 内部で認識される論理を確認するモデル。下図は上図でパルスを送信した際に誘起されるクロストークを計算するモデル。	85
3.23	プルアップ抵抗 100 $\Omega$ での 1.5 cm バスのシミュレーション結果	86
3.24	プルアップ抵抗 220 $\Omega$ での 1.5 cm バスのシミュレーション結果	86
3.25	1.5 cm バスの信号線の電気抵抗を測定するセットアップ	88
3.26	1.5 cm で製作したハーフラダーを動作させた際の表面温度分布。破線は ALICE1LHCb 読み出しチップを示す。	90
3.27	1.5 cm バスの伝送特性のシミュレーションモデル	91
3.28	1.5 cm バスの伝送特性のシミュレーション結果	91
3.29	1.5 cm バスの伝送特性を観測するセットアップ	92
3.30	1.5 cm バスの伝送特性の観測結果	92
3.31	1.5 cm バスがプルアップされる等価回路	93

4.1	ハーフラダーの読み出しチップへテストパルスを与えて読み出すセットアップ図 . . .	96
4.2	テストベンチ全体の写真 (上) とハーフラダー回りの拡大写真 (下) . . . . .	97
4.3	テストパルスに反応したセンサーハイブリッド上の ALICE1LHCb 読み出しチップ	98
4.4	ハーフラダーで捉えた $\beta$ 線のヒットを読み出すセットアップ図 . . . . .	99
4.5	FastOR 信号によるセルフトリガでデータを読み出す時の読み出しサイクル図 . . .	100
4.6	テストハーフラダーのヒットマップ . . . . .	100
4.7	テストハーフラダーの各チップでのクラスターサイズ分布 . . . . .	101
4.8	宇宙線の飛跡を捉えるセットアップ図。ハーフラダーを 3 枚重ね合わせてテレスコープを構成する。トリガを 2 枚のシンチレータので作り AND 論理を作り、第 1 層のセンサーハイブリッドの FastOR との AND をトリガとする。各ハーフラダーは FEM と光ファイバーで通信を行なう。 . . . .	102
4.9	テレスコープのシンチレータと各ハーフラダーの配置図 . . . . .	102
4.10	テレスコープを宇宙線が通過したイベント。(上図) 各層のセンサーハイブリッドを宇宙線が通過した様子。(下図) 宇宙線によるヒットから飛跡を再構成した。 . . . .	103
4.11	各テレスコープのレジディアル分布 . . . . .	104
A.1	ALICE1LHCb 読み出しチップの検査システムの概念図 . . . . .	109
A.2	クラス 1 チップの平均最小閾値のヒストグラム . . . . .	111
A.3	クラス 1 チップの平均ノイズ値のヒストグラム . . . . .	111
A.4	クラス 1 チップに対する動作ピクセル数の関係 . . . . .	112
A.5	JTAG 対応デバイスの内部構成 . . . . .	115
A.6	JTAG TAP コントローラの遷移図 . . . . .	115
A.7	読み出しチップの JTAG 接続 . . . . .	117
B.1	共通インピーダンス結合の回路図。回路 A は増幅器 U1 と U2 が共通のグラウンドを持つ為に、増幅器 U3 の出力が変動する様子を表わす。回路 B はその対策として増幅器 U2 と U3 を共通のグラウンドとした。 . . . .	125

# 第1章 序論

アメリカ合衆国ニューヨーク州のブルックヘブン国立研究所 (BNL) に相対論的重イオン加速器 (RHIC: The Relativistic Heavy Ion Collider) が建設された。この加速器では、偏極陽子を最大 250 GeV/c まで加速し、また、重イオンを核子当たり 100 GeV/c まで加速、衝突させてその反応を観測する事が可能である。RHIC には、STAR、PHENIX と言う 2 つの大型実験装置が設置されている。

本論文で記述する PHENIX 実験 (The Pioneering High Energy Nuclear Interaction eXperiment) では、陽子のスピン構造とクォーク・グルオン・プラズマ (Quark Gluon Plasma: QGP) の解明を主目的としている。

## 1.1 PHENIX 実験の目的

### 1.1.1 陽子のスピンの解明

陽子は、2 個のスピン 1/2 の u クォークと 1 個のスピン 1/2 の d クォークと、これらを結合するスピン 1 のグルーオンから構成される。陽子のスピンは 1/2 であり、この構成要素の分割は一般的に以下の様に表される。

$$\frac{1}{2} = \frac{1}{2} \Delta \Sigma + \Delta G + L_Q + L_G \quad (1.1)$$

ここで、 $\Delta \Sigma$  と  $\Delta G$  は、クォークとグルオンの担うスピンである。 $L_Q$  と  $L_G$  は、クォークとグルオンの担う軌道角運動量である。クォークとグルーオンは、クォークの閉じ込めの為に互いの距離が離れる程に引力が強まる為、それらは単体で観測されず、必ず中間子やバリオンとして観測される。

スピンの内部構造を解明する為に、1980 年代に偏極電子や  $\mu$  粒子を固定標的へ照射する偏極深部非弾性散乱実験 (Deep Inelastic Scattering experiment: DIS) が行なわれた。これは、SLAC にて E80 [1] 実験と E130 [2] 実験として行なわれた。その後、CERN での EMC [3] 実験へと引き継がれた。これら一連の実験から、 $\frac{1}{2} \Delta \Sigma$  が 20 % ~ 30 % の結果が得られ、クォークのスピンの寄与は小さく、陽子のスピンの構造が、クォークのスピンのみでは説明出来ない事が判明した [4] [5] [6]。この実験結果は、それまで信じられていた現象である S 状態に有る 3 つのクォークが、up, down, up と組み、陽子のスピンを構成する描像を覆す物で、スピン・クライシスと呼ばれている。歴史的に大成功を収めている摂動論的 QCD の考えからは、グルーオンが残りのスピンを担うと推察出来る。レプトンビームを用いた深非弾性散乱実験は、強い力のみで相互作用するグルーオンの直接測定は困難であり、不確実性が大きい。それ故に、強い力を直接感じるクォークやグルーオンをプローブに使った偏極陽子-陽子衝突実験は、核子のスピン構造、特にグルーオンの振る舞いを調べるのに最も適している。

RHIC での偏極陽子-陽子衝突実験では、陽子自身が、グルーオンの豊富な発生源であることから、グルーオンが直接反応するチャンネルを通じ、グルーオンのスピンを直接測定できる。偏極

陽子-陽子衝突実験において、図 1.1 と図 1.2 に示される反応の様に、一方の陽子中のグルーオンが他方の陽子のクォーク、またはグルーオンと反応する事象を識別してグルーオンの偏極度を測定する。これらの状態は、終状態の同定により、始状態、すなわち陽子中の衝突に使われたパートンの同定と、それらのパートンレベルでの衝突におけるファインマン図が特定できる。

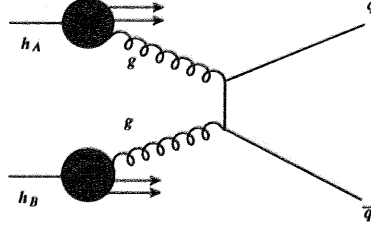


図 1.1:  $g + g \rightarrow q + \bar{q}$

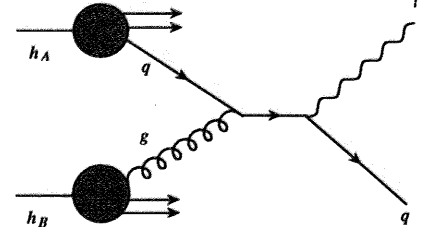


図 1.2:  $g + q \rightarrow \gamma + q$

図 1.1 と図 1.2 で示される相互作用でのスピン依存非対称度  $A_{LL}$  は、式 1.2 と式 1.3 の様に表される。

$$A_{LL} = \frac{\Delta G(x_1)}{G(x_1)} \frac{\Delta G(x_2)}{G(x_2)} a_{LL}(g + g \rightarrow q + \bar{q} + X) \quad (1.2)$$

$$A_{LL} = \frac{\Delta G(x_g)}{G(x_g)} \frac{\Delta q}{q} a_{LL}(g + q \rightarrow \gamma + jet + X) \quad (1.3)$$

$\Delta G/G$  と  $\Delta q/q$  は、グルーオンとクォークの陽子中の偏極度である。 $x$  は、偏極陽子の運動量に対するパートンの運動量の割合を表し、一般的にそれぞれ陽子中のパートンの運動量の割合  $x$  により変化する値を持つ。 $a_{LL}$  は、摂動論的 QCD で理論的に計算できるパートンレベルでの非対称度である。実験的には  $A_{LL}$  を式 1.4 に示す様に、衝突する陽子のヘリシティの組み合わせを変えて測定する。式 1.4 においては、ビームの偏極度を  $P_1$  と  $P_2$  とし、 $N_{++}$  と  $N_{+-}$  は観測された事象の計数比率である。 $++$  はそれぞれのビームでのスピンの平行、 $+-$  は反平行の場合を示す。式 1.4 で得られた  $A_{LL}$  と、チャンネルにより式 1.2 若しくは、式 1.3 との比較でグルーオンの偏極度  $\Delta G/G$  を決定出来る [7]。

$$A_{LL} = \frac{1}{P_1 P_2} \frac{N_{++} - N_{+-}}{N_{++} + N_{+-}} \quad (1.4)$$

$A_{LL}$  も  $x$  に依存する為、これらの値を測定する場合には同時に  $x$  も測定して関数関係を求めなくてはならない。しかしながら、現 PHENIX 検出器では一事象毎に  $x$  を精度良く測定出来ず、図 1.8 に示される様に、横運動量  $P_t$  の関数として間接的にパートンの偏極度の  $x$  依存性をモデルを利用して比較している。

### 1.1.2 Quark Gluon Plasma (QGP)

ハドロンは、クォークとグルーオンが閉じ込められた状態であり、これらクォーク、グルーオンの相互作用は量子色力学 (QCD) で記述される。格子 QCD 等の理論的計算から、超高温、超高密度で閉じ込めから開放され、クォークやグルーオンが自由に振る舞う状態が発生すると考えられて

いる。このような状態を実現する方法には、高エネルギー状態の重イオンの衝突実験があり、クォークとグルーオンが閉じ込めから開放され、ハドロンが Quark Gluon Plasma (QGP) と呼ばれる状態へ相転移すると予想される。図 1.3 に、温度と密度の関数で表されたハドロンの状態図を示す。ハドロンが高温か高密度である場合、クォークとグルーオンは閉じ込めから開放され、プラズマ状態となる。QGP 状態は、ビッグ・バン後  $10^{-8}$  秒の宇宙創成初期の状態を表しているとされている。

QGP 状態の生成を示すと考えられる信号として、ジェット・クエンチング (Jet Quench) 現象がある。ジェットは、ビーム粒子中のパートンとパートンが 2 体衝突を起こし、その結果、高い運動量のパートンが互いに反対方向に飛び出し、ジェット状の多重粒子群として観測される現象である。例えば、金原子同士の衝突において飛び出すパートンが、QGP の様な高温高密度状態を通過する際に大きなエネルギー損失を起こし、高エネルギー粒子が減少すると考えられるのがジェット・クエンチング現象である。クォークが QGP 中を通過すると、コヒーレントなグルーオン放射のために 1 fm あたり数 GeV という大きなエネルギー損失を起こすと理論的に予測されている。プローブとなる信号は、摂動論で記述される為に理論的精度が高く、極めて反応初期の高エネルギー密度状態である物質の様子を直接探ることが出来る。また、ジェット・クエンチングを示唆するデータは、高運動量粒子の減少だけではない。2 体衝突であるジェットは、その信号が正反対方向 (back-to-back) に現れるはずである。実際にジェットが測定された側と逆側 (Away side) を調べると、偏極陽子と金との散乱や、金-金原子衝突でも周辺衝突の場合には、Away side にジェットが測定できる。しかし、金-金原子が中心衝突を起こすと、Away side のジェットの消滅も確認されている。これらの現象は、軽い  $u$  クォーク、 $d$  クォークに関して観測されているが、QGP 中の top クォークや  $b$  クォーク等の重いクォークのエネルギー損失の測定を行なう事も非常に興味深い。

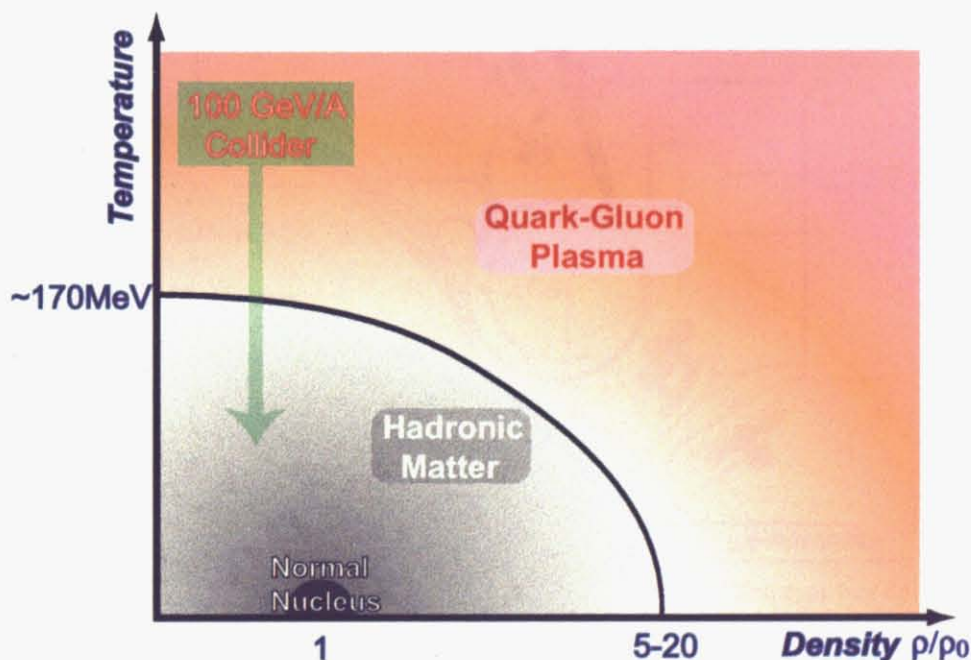


図 1.3: 温度と密度によるハドロンの状態図



## 1.2 実験概要

ブルックヘブン国立研究所 (BNL) の相対論的重イオン加速器 (RHIC: The Relativistic Heavy Ion Collider) は、世界初の重イオン衝突と偏極陽子衝突を実現した加速器である。1991 年に建設を開始し、1999 年に完成した。周長 3.83 km、超電導電磁石を用いた 2 つのリングから構成され、質量数の異なる原子核同士の衝突が可能である。偏極陽子を最大 250 GeV、重イオンを核子当たり 100 GeV まで加速して衝突実験を行なえる。設計ルミノシティーは金イオン衝突において  $2 \times 10^{26} \text{ cm}^{-2}\text{s}^{-1}$ 、250 GeV の陽子-陽子衝突において  $2 \times 10^{32} \text{ cm}^{-2}\text{s}^{-1}$  であり、年々改良が行なわれ、ルミノシティーの向上が図られている。

図 1.4 に RHIC の全体像を示す。偏極陽子は、オプティカルポンピングを利用した発生源にて生成される。偏極陽子は LINAC へ入射され、200 MeV まで加速される。次に、ブースターへ送られ AGS へ入射される。AGS では、23.4 GeV まで偏極陽子を加速し、最後に RHIC の主リングの 1 つへ入る。陽子ビームの偏極度は設計値として 70 % であり、年々その向上が図られ、2006 年のビームタイムでは、平均 65 % の偏極度を得ている。

重イオンは、タンデム・ヴァン・デ・グラフ型加速器で 1 MeV/A まで加速されブースターへ入射される。ブースターでは、95 MeV/A まで加速され AGS へ送られる。AGS では、8.86 GeV に加速された後、RHIC の主リングへ入る。RHIC の主リングには、110 個のバンチが 106 n 秒の間隔で充填される。

PHENIX のデータ収集系では、106 n 秒毎に起きるビーム衝突で、検出器から得られるデータの一部から、その事象を吸い上げるかどうかを決定している。この為の判断系を Level1 トリガと呼ぶ。Level1 では衝突から 4  $\mu$  秒で判定し、データを検出器から吸い上げ、Level2 トリガ系へ送る。Level2 では、事象の再構成を PC ファームを使って行い、必要な事象かの判定を行う。必要な事象であればハードディスクへ一時保存し、最終的に磁気テープへ記録され、オフラインでの解析へ回される。PHENIX 実験は、図 1.4 の 8 時の位置で行なわれている。

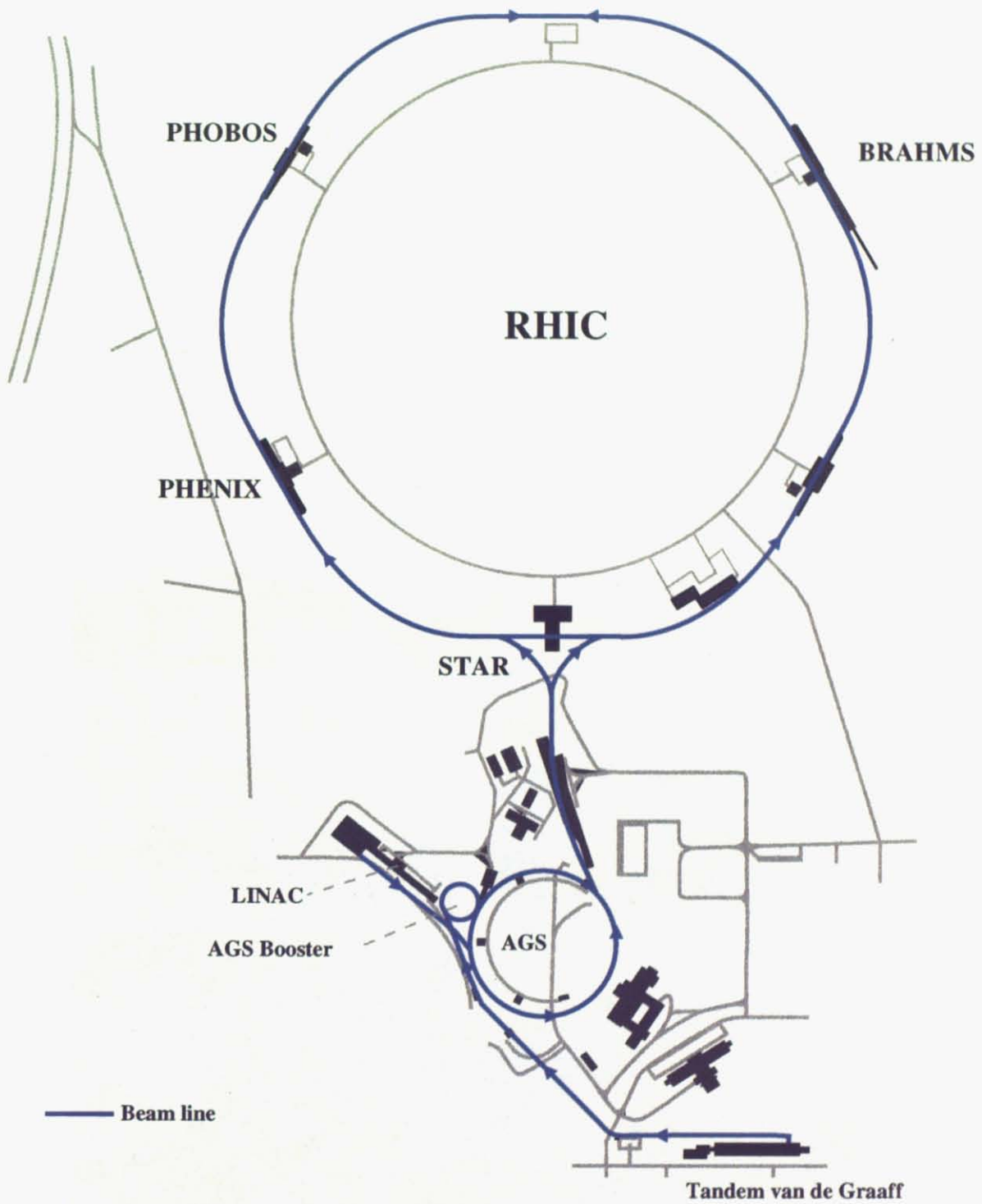


図 1.4: RHIC の全体像



### 1.3 PHENIX 検出器

図 1.5 に示す PHENIX 検出器は、次の要求の元に設計された。

$\sqrt{s}=200$  GeV における金-金イオン衝突実験では、単位ラピディティ当たりの発生粒子の密度が、 $dN/d\eta|_{\eta=0} = 687 \pm 37$  と測定されている [8]。この粒子をそれぞれ識別する為に、検出器を衝突点から出来るだけ離して配置し、一つの読み出しチャンネルが覆う立体角を小さくしている。その為に、技術的な制約と実験経費の問題から全立体角を覆えなく、PHENIX 検出器ではセントラルアームにおけるアクセプタンスが、 $|\eta| < 0.35$ 、 $\phi \sim \pi$ 、ミューオンアームのアクセプタンスが、 $1.2 < |\eta| < 2.4$ 、 $\phi \sim 2\pi$  となっている。

陽子-陽子衝突では、W ボソンの様な生成断面積の小さな事象を捉えるために、ルミノシティを可能なかぎり上げて高計数率で実験を行なう。PHENIX 検出器全体で 25 kHz のトリガーでデータを取得出来る様に読み出し回路が設計されている。検出器で捉えられた粒子から、 $\pi$  中間子、K 中間子、 $\mu$  粒子、電子、光子、陽子、反陽子等を同定する。この為、飛跡検出器には高い運動量分解能、カロリメータには高いエネルギー分解能、かつ粒子を識別するための検出器では、広い運動量領域で粒子識別能力を有す。PHENIX 検出器の各サブシステムの性能を表 1.1 に示す [9]。これまでの運転実績とデータの解析結果を踏まえ、幾つかの測定器の刷新が計画された。その内、2009 年度までに PHENIX 検出器に建設される事となったサブシステムとその性能を表 1.2 に示す。

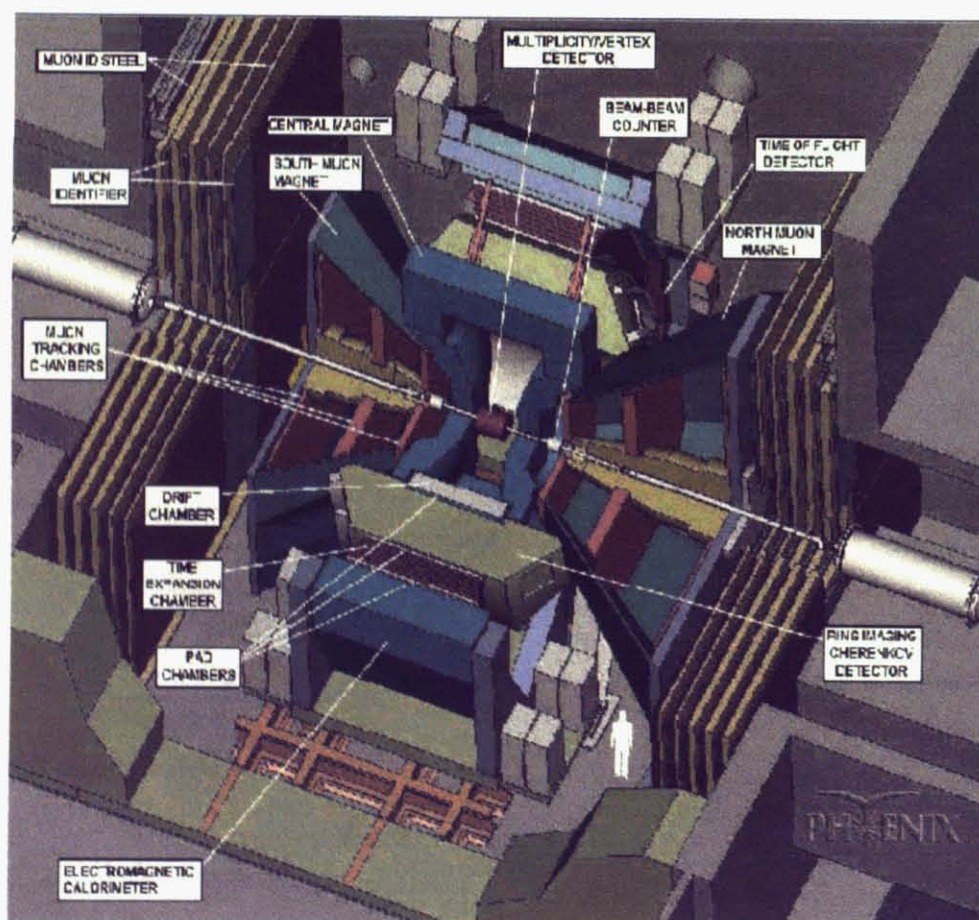


図 1.5: PHENIX 検出器の全体像

表 1.1: Run-5 時の PHENIX 検出器のサブシステムとその性能

検出器名称	$\Delta\eta$	$\Delta\phi$	目的及び特徴
Magnet: central (CM)	$\pm 0.35$	$360^\circ$	$\leq 1.15 \text{ T} \cdot \text{m}$
Magnet: muon (MMS)	$-1.1 \sim -2.2$	$360^\circ$	$0.72 \text{ T} \cdot \text{m}$ for $\eta = 2$
Magnet: muon (MMN)	$1.1 \sim 2.4$	$360^\circ$	$0.72 \text{ T} \cdot \text{m}$ for $\eta = 2$
Beam Beam Counter (BBC)	$\pm(3.1 \sim 3.9)$	$360^\circ$	Start timing, fast vertex
Zero Degree Counter (ZDC)	$\pm 2 \text{ mrad}$	$360^\circ$	Minimum bias trigger
Drift Chamber (DC)	$\pm 0.35$	$90^\circ \times 2$	Good momentum and mass resolution, $\Delta m/m = 0.4\%$ @ $m=1 \text{ GeV}$
Pad Chambers (PC)	$\pm 0.35$	$90^\circ \times 2$	Pattern recognition, tracking for nonbend direction
Time Expansion Chamber (TEC)	$\pm 0.35$	$90^\circ$	Pattern recognition, $dE/dx$
Ring Imaging Cherenkov (RICH)	$\pm 0.35$	$90^\circ \times 2$	electron identification
Time Of Flight Counter (TOF)	$\pm 0.35$	$90^\circ + 45^\circ$	Good hadron identification $\sim 100 \text{ ps}$
T0	$\pm 0.35$	$45^\circ$	Improve ToF timing for p-p and p-A.
PbSc EMcal	$\pm 0.35$	$90^\circ + 45^\circ$	For both calorimeters, photon and electron detection.
PbGl EMcal	$\pm 0.35$	$45^\circ$	Good $e^\pm/\pi^\pm$ separation at $p > 1 \text{ GeV}/c$ by EM shower and $p < 0.35 \text{ GeV}/c$ by ToF. $K^\pm/\pi^\pm$ separation up to $1 \text{ GeV}/c$ by ToF.
$\mu$ tracker:( $\mu$ TS)	$-1.15 \sim 2.25$	$360^\circ$	Tracking for muons.
$\mu$ tracker:( $\mu$ TN)	$1.15 \sim 2.44$	$360^\circ$	Muon trackernorth installed for year-3
$\mu$ identifier:( $\mu$ IDS)	$-1.15 \sim 2.25$	$360^\circ$	Steel absorbers and Iarocci tubes for muon/hadron separation.
$\mu$ identifier:( $\mu$ IDN)	$1.15 \sim 2.44$	$360^\circ$	

表 1.2: 2009 年度までに PHENIX 検出器に新たに設置されるシステムとその性能

検出器名称	$\Delta\eta$	$\Delta\phi$	目的及び特徴
Hadron Brind Detector (HBD)	$\pm 0.45$ (@ $r=5 \text{ cm}$ ) $\pm 0.36$ (@ $r=22 \text{ cm}$ )	$135^\circ$ $110^\circ$	Hadron rejection, electron identification
$\mu$ trigger			Reject beam background and Low $P_T$ hadron
Silicon Vertex Tracker	$\pm 1.2$	$\sim 360^\circ$	bottom and charm quark, $\gamma$ -jet identification

### 1.4 現状の PHENIX 検出器での物理

PHENIX 実験では、 $\sqrt{s} = 200$  GeV の陽子-陽子衝突で中性パイオンと Direct Photon を含む事象の生成断面積を測定して来た。これらの結果を図 1.6 に中性パイオン [10]、図 1.7 に Direct Photon のデータ [11] を示す。この生成断面積は、核子の構造関数、パートンレベルの断面積及びパートンからハドロンへの破碎関数の積で記述される。図 1.6 と図 1.7 は、共に広い範囲の横運動量の領域に渡り理論計算と一致している。これは、理論計算を用いた核子の構造関数モデル、パートンレベルの pQCD の生成断面積計算及び、破碎関数モデルの全てが現実の物理現象を良く記述している事を表わす。

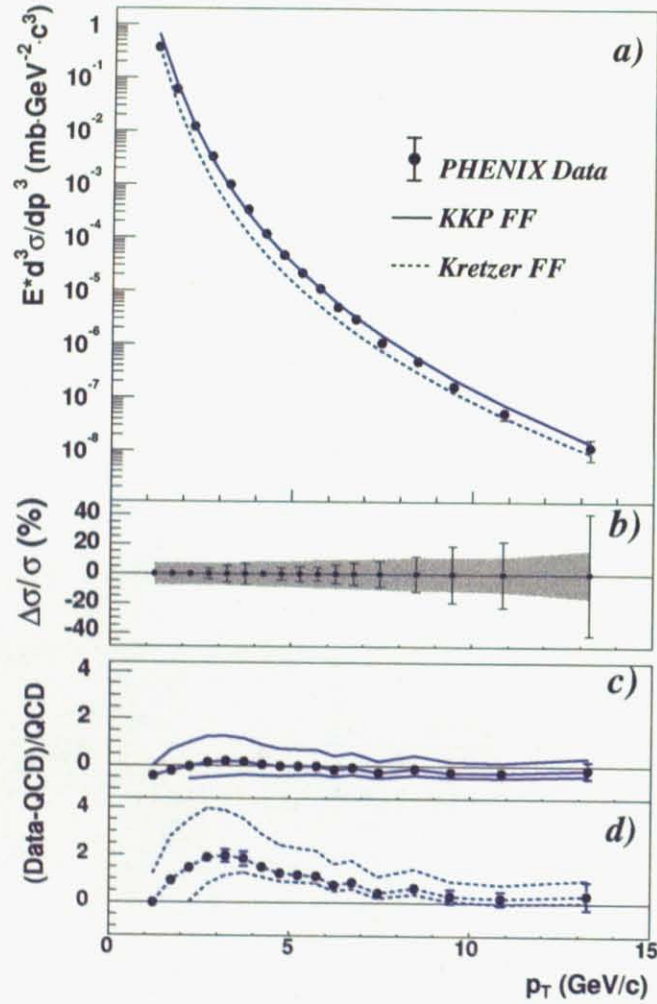


図 1.6: a) 横運動量  $p_T$  に対する  $\pi^0$  生成の微分断面積 (黒点) と KKP 破碎関数 (実線) と Kretzer 破碎関数 (破線) を用いた理論計算との比較。b) 統計誤差 (点) と系統誤差 (帯) の比較。c) KKP を用いた理論値と実験データとの比較。d) Kretzer を用いた理論値と実験データとの比較。

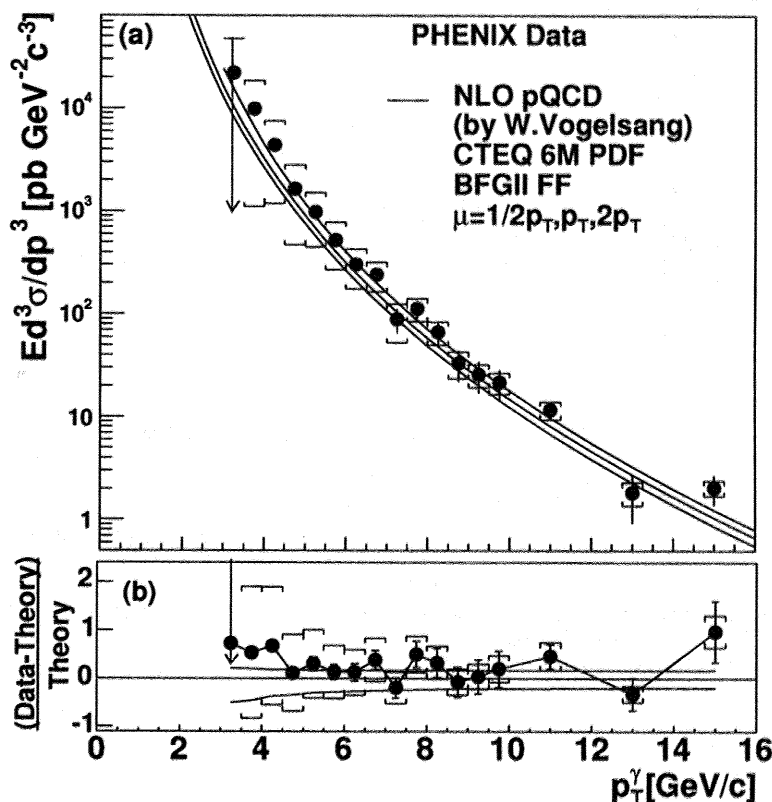


図 1.7: a) 理論的スケール  $\mu$  に対する Direct Photon の横運動量  $p_T^\gamma$  に依存する生成断面積と NLO の摂動的 QCD との比較。b) データと理論スケール  $\mu = p_T$  における NLO の摂動的 QCD との比較。

2003 年と 2004 年の  $\sqrt{s} = 200 \text{ GeV}$  の偏極陽子衝突実験のデータ (Run-3、Run-4) を元に、 $\pi^0$  の生成を含む  $A_{LL}^{\pi^0}$  の測定を行なった [?]。図 1.8 に Run-3 と Run-4 のデータから求めた  $A_{LL}^{\pi^0}$  と横運動量  $p_T$  のプロットを示す。GRSV-max と GRSV-std は、核子中のパートンのスピン依存を含んだ構造関数であり、max はグルーオンが最大に偏極している場合を、std は GRSV モデルでの標準的な偏極度を持つ場合である。この結果からは GRSV-max は否定された。その後、2006 年までのデータから予備的な結果が得られ、当初予想されていた大きなグルーオンの偏極に対しては否定的な解析結果が得られている。

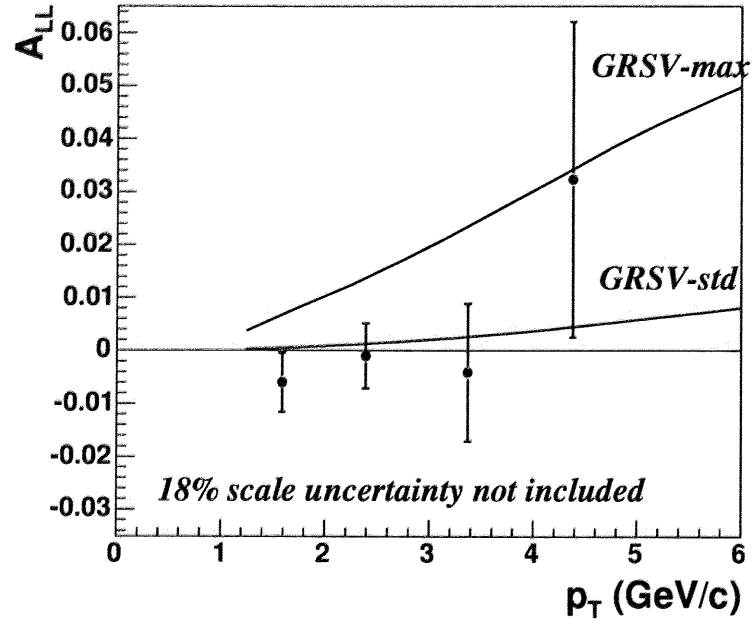


図 1.8: Run-3 と Run-4 から求めた  $A_{LL}^{\pi^0}$  と運動量  $p_T$  のプロットと核子中のパートンのスピン依存を含む構造関数である GRSV モデルとの比較



原子核同士の衝突では、高エネルギーの粒子は衝突初期の核子中のパートン同士の衝突で生成され、その後の過程では生成されないと考えられている。そのエネルギーの高い粒子が、衝突により生成した高温高密度の系を通過する際にエネルギーを失い、外へは出現しにくくなる Jet Quenching 現象が予想されていた。

原子核修正因子  $R_{AA}$  は、金-金衝突での生成数を  $Y_{AA}$ 、陽子-陽子衝突での生成数を  $Y_{PP}$ 、衝突した核子数の平均  $\langle N_{col} \rangle$  とすると、次の様に定義する。

$$R_{AA} = \frac{Y_{AA}}{\langle N_{col} \rangle Y_{PP}} \quad (1.5)$$

図 1.9 に、 $\sqrt{s} = 130$  GeV の金-金衝突における原子核修正因子  $R_{AA}$  の衝突に関与した核子数依存  $N_{part}$  との関係を示す [12]。  $N_{part}$  が大きくなる程、高温高密度の系が大きくなり、生成された粒子が吸収される事を示している。

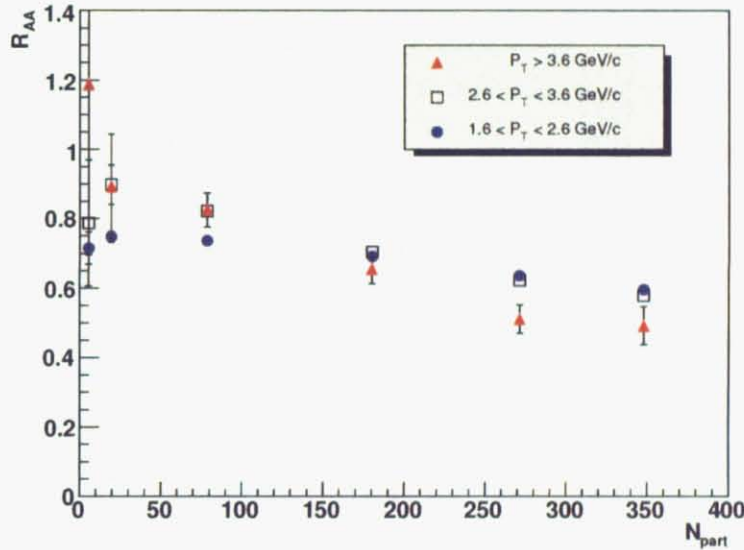


図 1.9: 原子核修正因子  $R_{AA}$  と衝突に関与した粒子数  $N_{part}$  との関係

### 1.5 シリコン崩壊点検出器を用いる物理

PHENIX 検出器では、様々な崩壊モードで広い  $Q^2$  と  $x$  領域でグルーオンの偏極度を測定できる。図 1.10 に RHIC での  $\sqrt{s}=200$  GeV の偏極陽子衝突実験において測定可能な  $x$  の範囲を示す。ビームの偏極度は  $\sim 70\%$ 、積分ルミノシティは  $300 \text{ pb}^{-1}$  を想定している。現 PHENIX 検出器の  $x$  の測定可能な領域は、 $0.02 < x < 0.3$  (青線) である。シリコン崩壊点検出器を組み込む事で、 $x$  の測定可能な領域は、 $0.01 < x < 0.3$  (赤線) へ拡大される。特に、異なるチャンネルの測定が、それぞれほぼ同じ  $x$  の領域で観測できる。また、低い運動量の  $c$  クォークと  $b$  クォークが Semi-leptonic decay する Displaced vertex の観測が、広範囲の  $x$  でのグルーオンの偏極度の測定を可能にする。

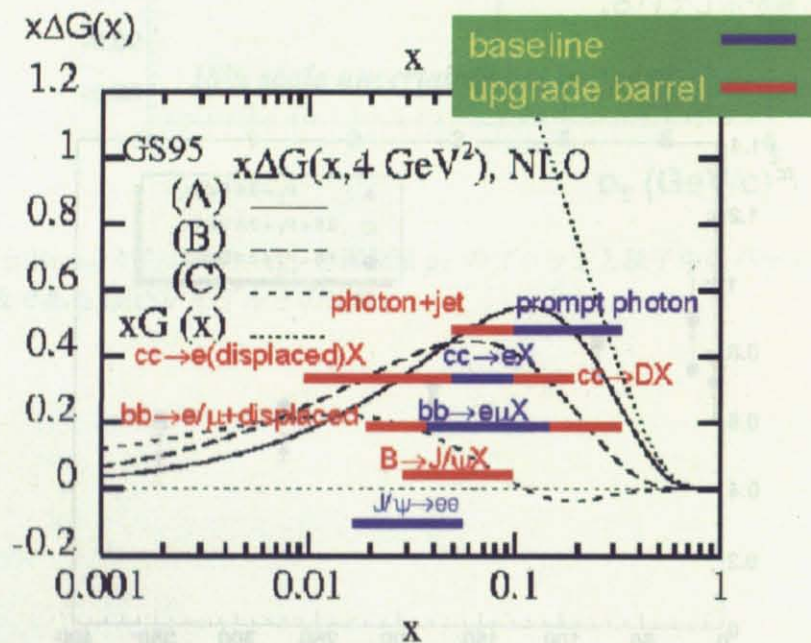


図 1.10: 現 PHENIX 検出器で  $\Delta G$  を測定する際の  $x$  の範囲と、シリコン崩壊点検出器を使用した場合に予想される  $x$  の範囲

図 1.11 に、 $\sqrt{s} = 200$  GeV の金-金原子衝突での PHENIX 検出器で観測される重いクォーク由来の電子の楕円方位角異方性  $v_2$  [13] の横運動量依存性を示す。この楕円方位角異方性は、初期の衝突で生成した重いクォークが高温高密度の系を通過する際に、Jet Quenching 現象を受ける為、高温高密度物質が幾何学的に異方的形状 (ラグビーボール状) を持つ為に生じると考えられている。図 1.10 は、横運動量が 1.5 GeV 程度までは  $c$  クォークのエネルギー損失を仮定した物と良く一致しているが、それ以上では一致していない。これは、 $c$  クォークだけではなく、 $b$  クォークからの寄与も有ると考えられ、シリコン崩壊点検出器で  $c$  クォークと  $b$  クォークを分離し、楕円方位角異方性の測定を行なうと、 $c$  クォークと  $b$  クォークのエネルギー損失を測定出来る。

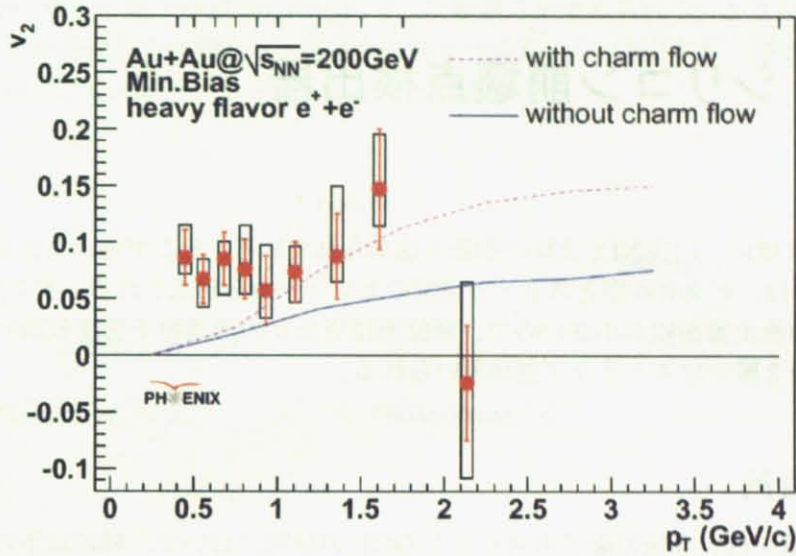


図 1.11: 現 PHENIX 検出器での  $\sqrt{s} = 200 \text{ GeV}$  における重いフレーバーからの電子の楕円的方位角異方性  $v_2$

## 1.6 本研究の目的

現在の PHENIX 検出器は、2000 年度にシリコン崩壊点検出器が無い状態で運転が開始された。これまでの実験成果を受け、陽子のスピン構造と QGP 状態の性質の解明に向け、更に有効な測定を可能にすべく、2009 年度にシリコン崩壊点検出器を設置して運転を開始予定である。本研究の目的は、この新たに設置するシリコンピクセル型検出器の開発を行なう事である。第 2 章ではピクセル型検出器を含むシリコン崩壊点検出器について、第 3 章でピクセルセンサーの製作に不可欠なバス基板の開発、第 4 章で試作したピクセル検出器のシステム試験に関して記述する。



## 第2章 シリコン崩壊点検出器

2009 年度を目標に、PHENIX 実験の刷新が進められている。そこで用いられるシリコンピクセル崩壊点検出器は、ピクセル型とストリップ型のセンサーから構成される。ピクセル型は、1 チャネル当たりの検出器面積が小さいので、単位面積当たりの通過粒子密度の高い内層の 2 層へ設置され、外層の 2 層ではストリップ型が用いられる。

### 2.1 開発目的

PHENIX 実験では、今後の陽子のスピンと QGP の研究において、特に以下の事象に注目している。

$$\text{陽子のスピンと QGP : } \left. \begin{array}{l} g + g \rightarrow c + \bar{c} \\ \phantom{g + g} \rightarrow b + \bar{b} \end{array} \right\} \quad (2.1)$$

$$\text{陽子のスピン : } g + q \rightarrow \gamma + \text{jet} \quad (2.2)$$

陽子衝突においては、終状態に c クォークや b クォークを観測する事で始状態はグルーオンである事が高い確度で保証される。また、 $\gamma$  とジェットの同時測定を行なうと、陽子衝突での始状態がクォークとグルーオンの組み合わせで有る事が高い確率 (85 %) で保証され、その運動量も確定する事が出来る。そして、そのスピン依存の生成断面積非対称度を測定すれば、グルーオンの偏極度が測定出来る。QGP 中では、重いクォークは重イオン衝突の初期のパートン衝突で生じ、その後の QGP 中では生成しない。よって、生成した b クォークや c クォークの生成断面積を調べ、b クォークと c クォークのエネルギー損失を測定できる。これらの測定は、従来の PHENIX 実験装置では不可能であるが為に、シリコン崩壊点検出器の新規導入が必須である。

#### 2.1.1 b クォークと c クォークの識別

現行の PHENIX 検出器では、電子を観測した場合にその電子が軽いクォークからではなく、かつ検出器内の物質との相互作用による 2 次粒子ではないと識別できた場合でも、式 2.1 において b クォークの崩壊に由来する電子か、c クォークの崩壊に由来する電子かを直接的に識別できない。その為に、モデルを用いた解析で、測定された電子の分布から統計的解析を行ない、間接的に識別しているに過ぎない。この方法は、Dalitz 崩壊と Photon Conversion で起きる大量の電子のバックグラウンドを差し引く必要が有る為に測定精度に限界が有り、系統的な不確定性を小さくする事は困難である。

シリコン崩壊点検出器を新たに設置する事で、b クォークと c クォークの直接識別が可能となる。それには、図 2.1 に示す Distance of Closest Approach (DCA) を測定する。図 2.1 の A において、重い中間子から崩壊した粒子が 1 つだけしか観測されず、二次崩壊点は直接観測できない。DCA

は、この飛跡とは逆方向へ飛跡を延長した時の一次崩壊点から引いた垂線の長さを意味する。図 2.1 の B では、2 つ以上の粒子が観測されるので二次崩壊点を求められる。ここから一次崩壊点から二次崩壊点までの距離を直接測定し、そこから粒子の寿命  $c\tau$  を測定する。測定した寿命から軽いクォークか、或は、b クォークか c クォークかを識別できる。

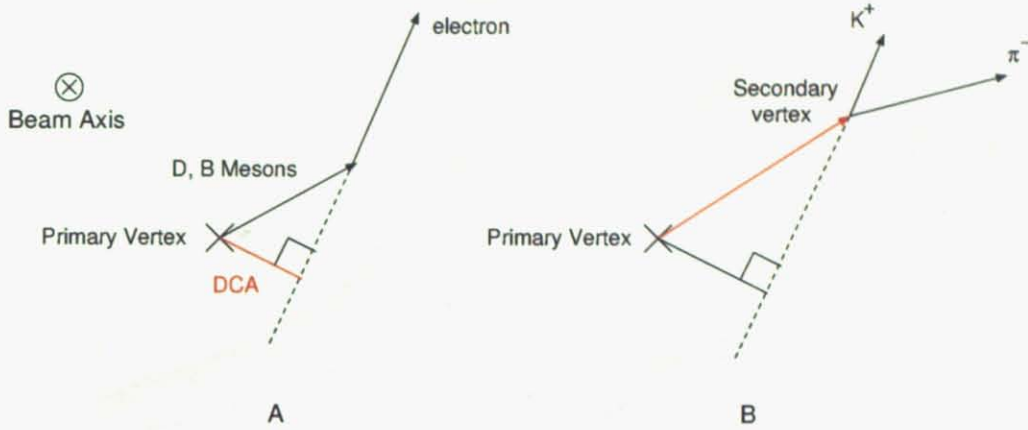


図 2.1: b クォークと c クォークの識別方法。A は DCA の測定方法、B は一次崩壊点から二次崩壊点までの距離を測定する方法を示す。

b クォークの同定は、B 中間子崩壊からの電子を観測し、c クォークでは、D 中間子崩壊からの電子を観測して行なう。それぞれの識別は、各中間子の寿命の差による DCA の相違を利用して行ない、表 2.1 の崩壊モード [16] における single electron のチャンネルを観測する。

表 2.1: 主要な c クォークを含む中間子と b クォークを含む中間子の主な崩壊モード及び、寿命と質量

中間子	崩壊モード	分岐比	寿命 ( $c\tau$ )	質量
$B^0$	$l^+ + \nu_l + \text{anything}$	$(10.4 \pm 0.4) \%$	$458.7 \mu\text{m}$	$5,279 \pm 0.5 \text{ MeV}$
$B^+$	$l^+ + \nu_l + \text{anything}$	$(27.5 \pm 2.4) \%$	$491.1 \mu\text{m}$	$5,279.0 \pm 0.5 \text{ MeV}$
$D^0$	$K^- + \text{anything}$ $e^+ + \text{anything}$	$(53 \pm 4) \%$ $(6.71 \pm 0.29) \%$	$122.9 \mu\text{m}$	$1,864.5 \pm 0.4 \text{ MeV}$
$D^+$	$K^- + \text{anything}$ $e^+ + \text{anything}$	$(27.5 \pm 2.4) \%$ $(17.2 \pm 1.9) \%$	$311.8 \mu\text{m}$	$1,869.3 \pm 0.4 \text{ MeV}$

図 2.2 に Dalitz、c クォーク、b クォークの崩壊に由来する電子の予想される DCA を示す [15]。それぞれは、シリコン崩壊点検出器 1 層当たりの放射長が 1 % と仮定し、 $P_T > 0.5 \text{ GeV}/c$  と  $P_T > 1 \text{ GeV}/c$  の粒子についての DCA 分布を図 2.2 の左に示す。また、1 層当たりの放射長が 2 % と仮定した場合の DCA 分布を図 2.2 の右に示す。 $P_T$  を増加させ、DCA カットを  $\sim 800 \mu\text{m}$  とすると、b クォークの信号を強調できる。また Dalitz 崩壊は、初期の反応点で弁別されるので図 2.2 の赤色のカーブは、分解能の悪化による広がりである。

図 2.1A の場合に、DCA が  $\sim 100 \mu\text{m}$  以上であるとバックグラウンドが抑制され、高精度で b クォークと c クォークの観測が電子のみのイベントで可能となる。また、電子を伴う崩壊においても、電子、ニュートリノ、軽いクォークを含む中間子が発生するので、DCA の測定は可能である。これ

により、イベント中の重いクォークの純度を大幅に向上できる。

現 PHENIX 検出器では、図 2.1B に示す  $K^+\pi^-$  への崩壊モードで  $D^0$  中間子を識別する場合に、軽いクォーク由来のバックグラウンドが多く、 $D^0$  中間子のピークが見られない。これに DCA カットを施すと、大幅に信号対雑音比を改善できるので  $D^0$  の識別が可能になる。また、表 2.1 に示す様に、 $b$  クォーク由来のメソンの寿命が、 $c$  クォーク由来のメソンの物よりも長い為に、 $b$  クォークを含むイベントから  $c$  クォークのイベントを分離できる。

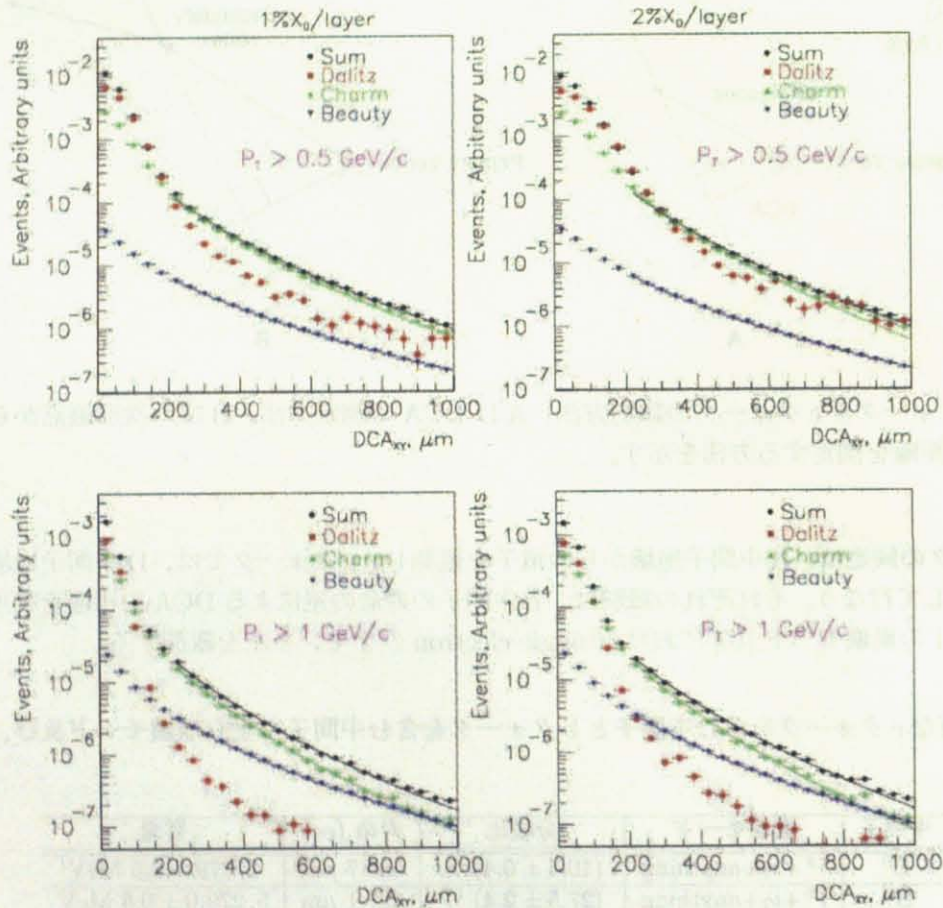


図 2.2: Dalitz、チャーム、ボトムの崩壊に由来する電子の DCA 分布。シリコン崩壊点検出器 1 層当たりの放射長が 1 % と仮定し、 $P_T > 0.5 \text{ GeV}/c$  と  $P_T > 1 \text{ GeV}/c$  の場合の DCA 分布 (左) と 1 層当たりの放射長が 2 % と仮定し、 $P_T > 0.5 \text{ GeV}/c$  と  $P_T > 1 \text{ GeV}/c$  の場合の DCA 分布 (右)。

### 2.1.2 $\gamma$ とジェットの事象を用いた核子中のパートン運動量の再構成

Direct Photon の事象は、核子中のグルーオンの分布とグルーオンの偏極度を測定する際に重要である。図 2.3(左図) で示す  $q + g \rightarrow q + \gamma$  のクォークとグルーオンとの相互作用で起こされるコンプトン散乱は、RHIC における陽子衝突において高い運動量の Direct Photon を生成する支配的な過程である。核子中の反クォークの密度は明らかにグルーオンの密度よりも非常に小さいので、



図 2.3(右図) に示される競争過程であるクォーク・反クォーク対消滅に比較して、グルーオンコンプトン散乱が支配的な過程である。理論計算による発生比率を図 2.4 へ示す [14]。Direct Photon とは、測定可能な光子から、 $\pi^0$  や  $\eta$  といったハドロンの崩壊が起源である光子を除く事で測定出来る。PHENIX 実験は、光子測定用のカロリメータが良く細分化されている為、ハドロンの崩壊の除去は比較的容易であるが、同時に発生するジェットを測定する能力に欠ける。

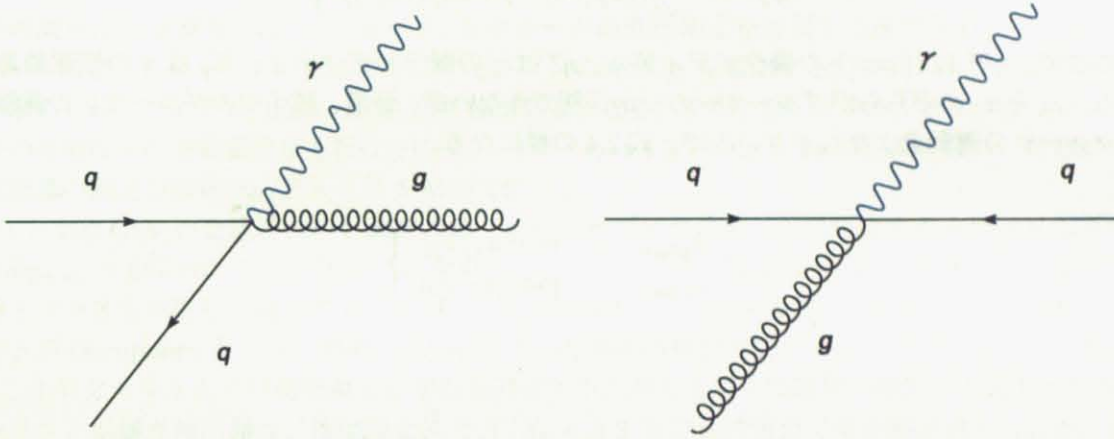


図 2.3: クォーク・グルーオン・コンプトン散乱 (左)、クォークと反クォークとの対消滅 (右)

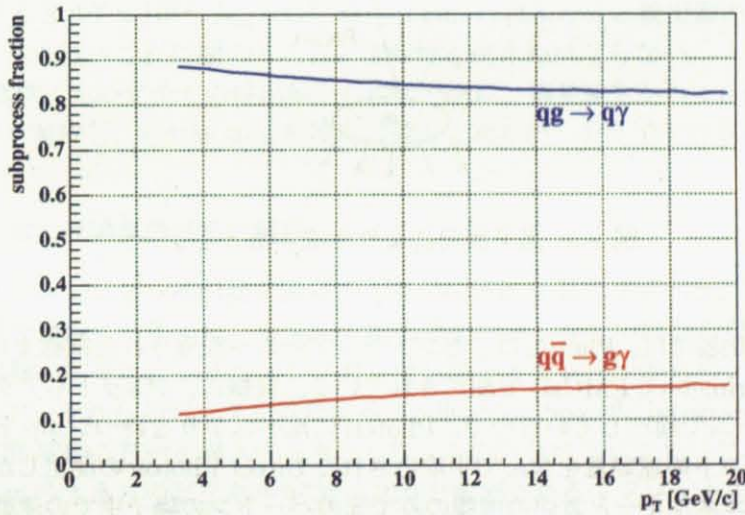


図 2.4:  $\sqrt{s} = 200$  GeV の偏極陽子衝突実験における  $g + q \rightarrow \gamma + q$  及び、 $q + \bar{q} \rightarrow \gamma + q$  の発生比率と運動量  $p_T$  の関係

クォーク・グルーオン・コンプトン過程の断面積と生成非対称度は、陽子中のクォークとグルーオンの密度 (陽子中のクォーク及びグルーオンが取り出される確率) とパートンレベルでの断面積若しくは生成非対称度の積に比例する。故に、Direct Photon とジェットを測定すれば、グルーオンの密度と偏極度を陽子の運動量の比率  $x$  の関数として観測できる。

ジェットは、図 2.5 に示す様に、高エネルギーの陽子衝突において、陽子中のクォークやグルーオ

ンが大角度に散乱され、ハドロン化する際に生じる多数の粒子が、元のパートンの方向を中心とする方向へジェット状に集中して放出される現象である。飛来して来るパートンの運動量  $x_1$  と  $x_2$  は、式 2.3 で求められる。

$$\left. \begin{aligned} x_1 &= \frac{E_T^\gamma}{\sqrt{s}} (\exp(\eta^{jet}) + \exp(\eta^\gamma)) \\ x_2 &= \frac{E_T^\gamma}{\sqrt{s}} (\exp(-\eta^{jet}) + \exp(-\eta^\gamma)) \end{aligned} \right\} \quad (2.3)$$

ここで、 $\eta^{jet}$  はジェットの擬ラピディティ、 $\eta^\gamma$  は  $\gamma$  の擬ラピディティ、 $E_T^\gamma$  は  $\gamma$  の横運動量である。 $x_1$  と  $x_2$  のどちらがグルーオンの  $x$  か区別できないが、通常、核子中のグルーオンの運動量はクォークの運動量よりも小さいので、式 2.4 の様になる。

$$\left. \begin{aligned} x_{gluon} &= \min[x_1, x_2] \\ x_{quark} &= \max[x_1, x_2] \end{aligned} \right\} \quad (2.4)$$

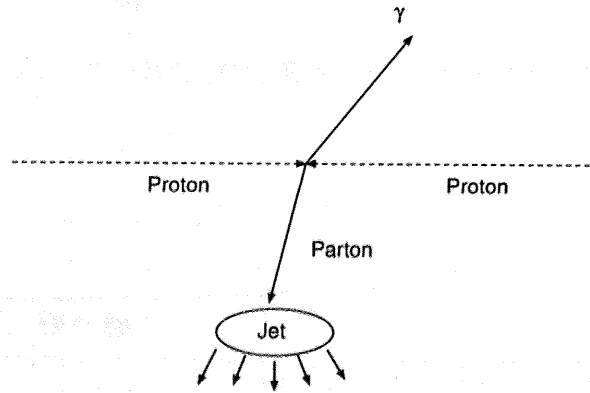


図 2.5: 陽子衝突により生成する  $\gamma$  とジェット

現 PHENIX 検出器では、Photon は、セントラルアームへ設置された電磁カロリメータ (Electromagnetic calorimeters: EMCal) で測定されている。同様に、ジェットもアクセプタンスの小さなセントラルアームで検出しているので、Photon に比べ広がりを持つジェットの検出は容易ではない。故に、ジェットの運動量を含んで平均化された Direct Photon の測定しか行なえない。この為に、Photon のエネルギーと方向の情報のみで元のパートンの陽子中での運動量を推察している為、パートンの再構成の精度が良くない。

シリコン崩壊点検出器では、荷電粒子に対するアクセプタンスを広げ、ジェットの効率的な検出を可能とする。 $\gamma$  とジェットの観測では、高運動量の荷電粒子に対して測定可能な立体角の範囲を広げ、ジェット軸の測定を可能にし、 $\gamma$  とジェットからパートンの運動量の再構成の精度を格段に向上させる。

## 2.2 要求性能

シリコン崩壊点検出器は、偏極陽子衝突実験と重イオン衝突実験とで使用する為に、様々な要求を満たさねばならない。

### 物理測定による要求

物理測定による要求には、cクォーク、bクォークの直接測定を行なえる事である。これは、cクォーク及び、bクォークの崩壊で生成するメソンの寿命  $c\tau$  を観測するので高いトラックの解像度が求められ、およそ  $40\ \mu\text{m}$  の DCA 分解能が必要となる。また、広いアクセプタンスでジェット由来の荷電粒子の運動量測定を行なうので、 $-1.2 < \eta < 1.2$  かつ  $\phi \sim 2\pi$  の範囲を覆い、荷電粒子の運動量の測定分解能  $\sigma_P/P \sim 5\%$  が必要である。

$\sqrt{s} = 200\ \text{GeV}$  の金原子の中心衝突の時、単位ラピディティあたりに発生するトラックは平均  $dN/d\eta|_{\eta=0} = 687 \pm 37$  である [8]。この環境下では、ストリップ型の 1 次元+1 次元の読み出しであるとゴーストが生じる為、ピクセル型の 2 次元読み出しを行なえる検出器を最内層へ設置する。ヒットの Occupancy を下げ、間違った組合せでの軌跡の再構成を防ぐ為に、小さいピクセルを採用し、1 ピクセルあたりに荷電粒子が複数本通過する割合を実用上問題無い程度まで低下させる。

シリコン崩壊点検出器は、検出器全体で  $X/X_0 < 3.2\%$  の低物質質量で有る事が求められる。検出器で生じる多重散乱による DCA 分解能と運動量分解能の低下を防ぎ、かつ  $\gamma$  線による電子の生成を低減させ、後段検出器内でのバックグラウンドを抑制する。また、ビームパイプで生じた多重散乱の影響を小さくする為に、Primary vertex から出来るだけ近い距離に検出器を接置する。PHENIX 実験の 10 年間の積分ルミノシティは、 $4,000\ \text{pb}^{-1}$  と予想されている。これから  $1\ \text{MeV}$  の中性子に換算すると  $3.7 \times 10^{12}\ [N_{eq}/\text{cm}^2, @z=0\ \text{cm}, r=2.5\ \text{cm}]$  と検出器の被曝量が算出された [18]。よって、検出器はこれに耐えうる放射線耐性を備えねばならない。

また、PHENIX 実験において全ての検出器からのデータは、事象発生から  $4\ \mu$  秒後の Level1 トリガ決定までデータを保持し、その後  $40\ \mu$  秒程度の速度で読み出しを完了する事を要求されている。

### シリコンピクセル検出器開発の技術的選択

ここでは、シリコンピクセル検出器を開発する為の技術的な選択を述べる。2009 年までにシリコン崩壊点検出器を建設する為には、短期間で検出器を開発しなくてはならない。この為、シリコンピクセル検出器の開発は、シリコンピクセルセンサーとセンサーからのデータを読み出すフロントエンドチップ、それらのデータを処理する Application Specific Integrated Circuit (ASIC) には CERN ALICE 実験の技術を導入する事とした。このシリコンピクセルセンサーは、8,192 個の  $425\ \mu\text{m} \times 50\ \mu\text{m}$  の大きさのピクセルが  $32 \times 256$  と配列される。フロントエンドチップは、これらを処理する回路が 8,192 個搭載され、ヒットの有無をバイナリデータで出力する。フロントエンドチップとピクセルセンサーは、薄くして PHENIX 仕様と合わせる事とした。また、ピクセルサイズも十分に小さく、 $40\ \mu\text{m}$  の DCA 分解能を発揮できる。但し、読み出し速度を  $40\ \mu$  秒へ近づける為の改良が必要となるので、データ処理 ASIC の読み出し幅を 2 倍とし、更には 4 倍の高密度信号バスを開発する事とした。

高密度信号バスは、ポリイミドフィルムと銅箔及びアルミニウム箔で作られ、低物質質量、高信号密度を両立させ 128 ビットのデータ幅を持たせる。ASIC には多重化の改造を施し、64 ビットのデータを同時に処理させ、上記のバス基板と組み合わせる事でデータの読み出し時間を最大  $51.2\ \mu$  秒とする。これは、PHENIX の要求を越えてしまうが、製造上の困難さからこれを容認する事となったが、実質的な不具合はさほど大きくない。



## 2.3 シリコン崩壊点検出器

### 2.3.1 シリコン崩壊点検出器の構造

シリコン崩壊点検出器は、図 2.6 へ示す様な円筒型の検出器である。4 層のシリコン検出器から構成されており、内層 2 層がシリコンピクセル検出器、外層 2 層がシリコンストリップ検出器である。検出器の総チャンネル数は、約 430 万チャンネルである。図 2.6 に、ビーム軸方向でのシリコン崩壊点検出器の概念図を示す。

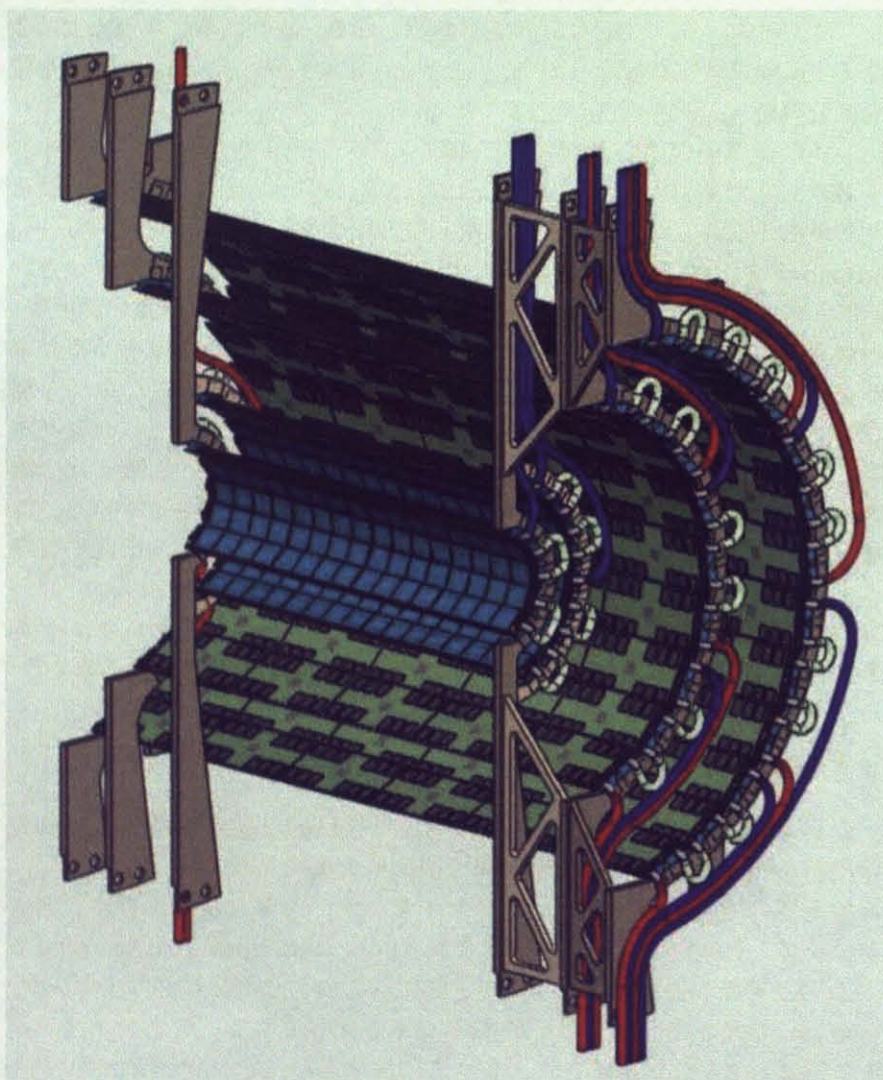


図 2.6: シリコン崩壊点検出器の概念図

図 2.7 へシリコン崩壊点検出器の断面図を示す。シリコンピクセル検出器は、ビーム軸から半径 2.5 cm と 5.0 cm の位置へ設置され、ビーム方向の長さは  $\sim 22$  cm である。シリコンストリップ検出器は、ビーム軸から半径 10.0 cm と 14.0 cm へ設置され、第 3 層のビーム方向の長さは  $\sim 32$  cm、第 4 層のビーム方向の長さは  $\sim 38$  cm である。



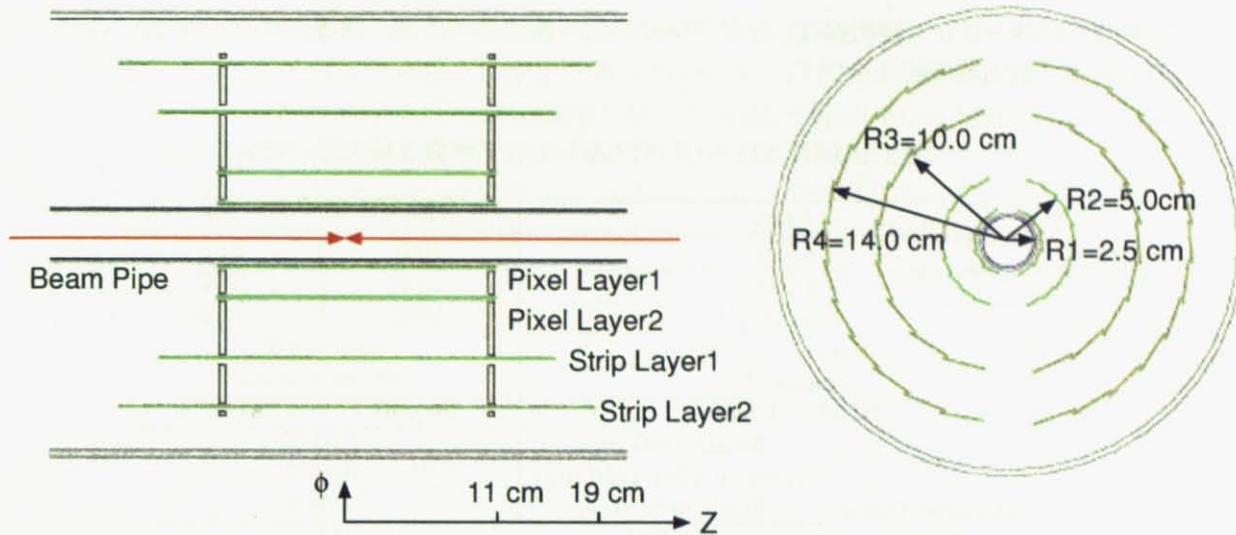


図 2.7: シリコン崩壊点検出器の断面図

### 2.3.2 シリコン崩壊点検出器の機械的構成

シリコン崩壊点検出器のシリコン 픽셀センサーとシリコンストリップセンサーは、炭素繊維の支持体へ固定され、図 2.6 の様に構成される。このバレル状の検出器は、バレル全体で 2 kW の熱負荷が有ると予想され、その為の冷却を行なう必要があり、各センサーを冷却する冷却管が各センサーの下部を通る。シリコン崩壊点検出器の機械的な要求とその対策を次に挙げる。

1. センサーラダーを円筒状に配置して検出器を構成する。
  - 各ラダーの幅をセンサーの幅と合わせる。円筒を構成した際に、ラダーが重なり合う部分を作らない。
2. 検出器全体の物質量を半径方向の放射長において 3.2 % 以下とする。
  - 픽셀検出器用の信号伝送用プリント基板を低物質量で製作する。読み出しチップの冷却用に、低物質量の冷媒を使用する。また、検出器の構造体を低物質量の炭素のコンポジット材で製作し、物質量の抑制に貢献する。
3. 検出器全体の公差を 25  $\mu\text{m}$  未満とする。
  - 픽셀検出器の組み立てアライメント精度を 10  $\mu\text{m}$  未満にする。センサーハイブリッドと支持板との貼り合わせ精度は、픽셀ラダー製作用治具を使用する事で可能である。また、重力による撓みや熱応力による歪みの影響を有限要素法で計算して設計を行なう。シリコンストリップ検出器の耐放射線性を向上させる為に、検出器の運転は 0 °C 近傍で行ない、分解整備は室温で行なわれるので、このヒートサイクルに耐える部品を選択し設計を行なう。

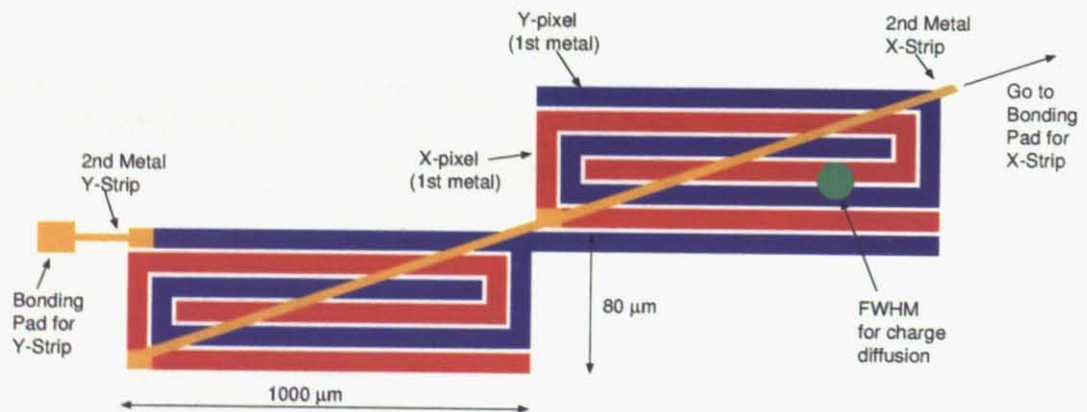
### 2.3.3 シリコンストリップ検出器

シリコンストリップ検出器は、シリコンピクセル検出器の外側へ設置される。表 2.2 ヘシリコンストリップ検出器の諸元を示す。

表 2.2: PHENIX シリコンストリップ崩壊点検出器の諸元

Layer		R3	R4
r (cm)		10.0	14.0
z (cm)		31.8	38.2
Area (cm <sup>2</sup> )		1960	3400
Sensor size (cm)		3.43 × 6.36	
Channel Size		80 μm × 3 cm	
Readout Channel		138,240	239,616
Radiation length ( $X/X_0$ )	Sensor (625 μm)	0.67 %	
	Readout Chip (150 μm)	0.64 %	
	Mechanical stave	0.70 %	
	Coolant	0.08 %	
	Total	2.1 %	
Occupancy (Au-Au @ $\sqrt{E}=200$ GeV)		4.5 % (x-strip)	2.5 % (x-strip)
		4.7 % (u-strip)	2.7 % (u-strip)

シリコンストリップセンサーは、ブルックヘブン国立研究所の Instrumentation Division と理化学研究所が共同で開発した [19]。図 2.8 にシリコンストリップセンサーの概念図を示す。本センサーは、片面の 2 次元読み出しが行なえ、この構造を実現する為に “Stripixel” と呼ぶ構成を採用した。1 つの Stripixel は、大きさが  $80 \times 1000 \mu\text{m}^2$  であり、独立した x ストリップと y ストリップによる渦巻状のピクセルが 30 個連なり、1 本のストリップを形成する。センサーの厚さは、625 μm である。センサーを通過した荷電粒子により生成した電荷は、x ストリップと y ストリップに電荷分配される。その信号を Analog to Digital Converter で読み出し、荷電粒子の通過点を決定する。ストリップ上での電荷の広がり、入射粒子のセンサー内での多重散乱及びドリフト中の電子の拡散から 10 μm 程度と予想され、それよりも狭い間隔でストリップの間隔が決定されている。



Z. Li, Inst. Div., BNL

図 2.8: シリコンストリップセンサー (Stripixel センサー) の概念図

### 2.3.4 シリコンピクセル検出器

シリコンピクセル検出器は、衝突点最近傍へ設置される。ピクセル検出器には、開発に伴う経費と時間を短縮する為に、ALICE 実験と LHCb 実験で用いられている技術を導入した。これらの技術は、センサーハイブリッド技術と、放射線耐性を備えた ASIC (Application Specific Integrated Circuit) の技術が主体であり、これらを PHENIX 実験用に改良して組み込む。センサーハイブリッドは、200  $\mu\text{m}$  厚のシリコンピクセルセンサーと ALICE1LHCb 読み出しチップをバンプボンディング技術で接合して作られる。放射線耐性の有る ASIC は、PHENIX 実験用に読み出しチップの制御やデータ処理の幅を拡張する改造が施される。表 2.3 にシリコンピクセル検出器の諸元を載せる [15] [17]。次章でこの検出器の詳細を記述する。

表 2.3: PHENIX シリコンピクセル崩壊点検出器の諸元

Layer		R1	R2
r (cm)		2.5	5.0
z (cm)		21.8	21.8
Area (cm <sup>2</sup> )		280	560
Sensor size (cm)		1.28 $\times$ 1.26	
Channel Size		425 $\mu\text{m}$ (r) $\times$ 50 $\mu\text{m}$ ( $\phi$ )	
Readout Channel		1,310,720	2,621,440
Radiation length ( $X/X_0$ )	Sensor (200 $\mu\text{m}$ )	0.22 %	
	Readout Chip (150 $\mu\text{m}$ )	0.16 %	
	Bus	0.28 %	
	Ladder and cooling	0.70 %	
	Coolant	0.08 %	
	Total	1.44 %	
Occupancy (Au-Au @ $\sqrt{E}=200$ GeV)		0.53 %	0.16 %

## 2.4 シリコンピクセル検出器の詳細

### 2.4.1 シリコンピクセルセンサーハイブリッド

シリコンピクセルセンサーハイブリッドは、13.92 mm  $\times$  56.72 mm のシリコンピクセルセンサーと 15.6 mm  $\times$  13.7 mm の ALICE1LHCb 読み出しチップ 4 枚をバンプボンディングして構成される。図 2.9 へセンサーハイブリッドの実物を示す。ハイブリッドシリコンピクセルセンサーは、読み出しチップに対応した 4 つの独立したセンサー部から構成されており、1 つのセンサーには大きさ 425  $\mu\text{m}$   $\times$  50  $\mu\text{m}$  のピクセルが 32  $\times$  256 のマトリックス状に配置されている。シリコンピクセルセンサーハイブリッドの大きさは、15.8 mm  $\times$  56.7 mm であり、読み出しチップとセンサー本体合計の厚さは、およそ 380  $\mu\text{m}$  である。



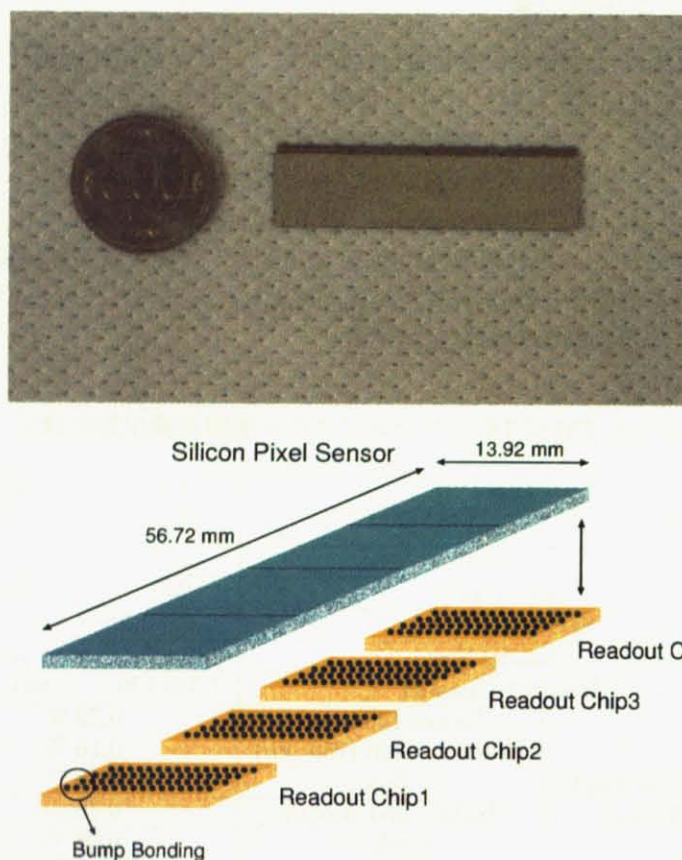


図 2.9: シリコンピクセルセンサーハイブリッドの写真とその概念図

#### 2.4.2 シリコンピクセルセンサー

シリコンピクセルセンサーには、フランス共和国 CANBERRA 社製の  $200\text{ }\mu\text{m}$  厚のシリコンピクセル型センサーを使用する。ピクセルセンサーは、N 型のシリコン基板の表面からある一定の深さまで、不純物拡散によって P 型に変化させて形成している。図 2.10 は、シリコンピクセルセンサーのウェハーの写真とセンサーの拡大写真である。5 インチのウェハーから、4 個組みのセンサーが 9 枚切り出せる。センサーは単純な形状の為に、歩留まりはほぼ 100 % である。ウェハーから、図 2.9 の概念図に示される様な 4 個組みのセンサーに切り出す。センサーの空乏化電圧は約 9 V であり、設計上最大 100 V の逆バイアス電圧を印加できる。実際の運用時には、50 V の逆バイアス電圧を印加して使用する。

シリコンセンサーにおいて、電子-正孔対を発生させるのに必要な平均エネルギーは 3.6 eV であり、 $200\text{ }\mu\text{m}$  厚のシリコンピクセルセンサーでは、最小電離粒子は 53 keV のエネルギーを落とす。その為、およそ 15,000 個の電子-正孔対が発生する。

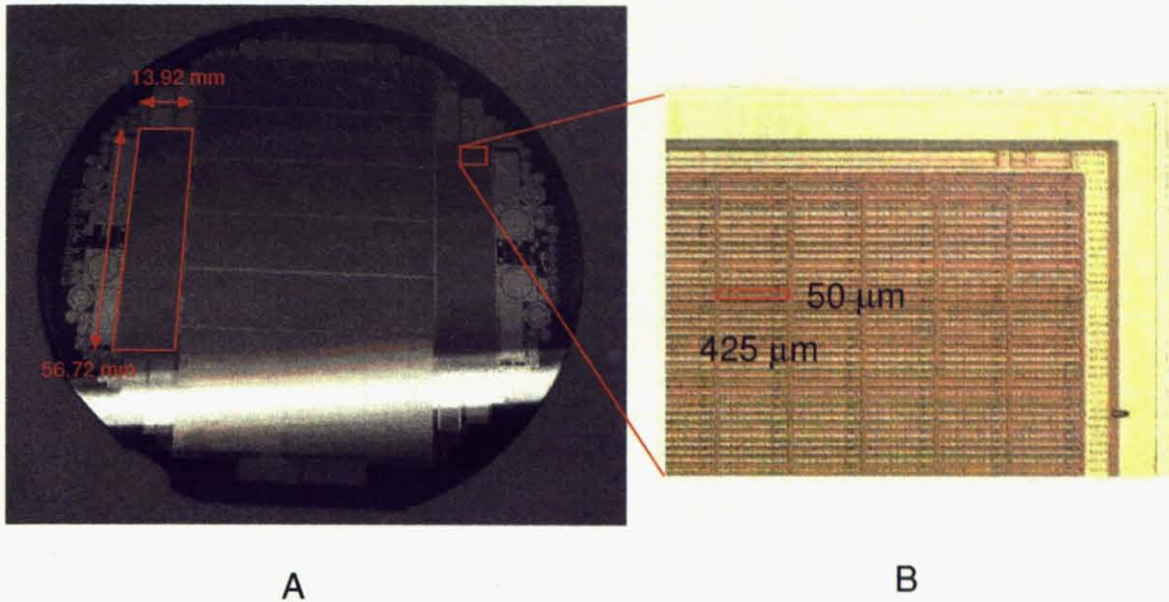


図 2.10: 5 インチピクセルセンサーウエハーの写真 (A) とセンサーの拡大写真 (B)

#### 2.4.3 ALICE1LHCb 読み出しチップ

ALICE1LHCb 読み出しチップは、アナログ回路とデジタル回路を混載した ASIC であり、CERN の Micro Electronics 部門で開発された [20] [21]。ALICE 実験のシリコンピクセル検出器と LHCb 実験のリングイメージ・チェレンコフカウンターにおけるトラッキング用途に使用されている。チップの大きさは  $15.6 \text{ mm} \times 13.7 \text{ mm}$  であり、品質検査終了後にウエハー製造時の厚みである  $750 \text{ μm}$  から  $150 \text{ μm}$  へ研磨され、ウエハーから切り出される。

読み出しチップ上には、各ピクセルセンサーの信号処理回路、チップ制御用の論理回路、基準バイアス回路、JTAG インターフェイス部、I/O パッドが搭載される。最大  $10 \text{ MHz}$  のクロック周波数で動作が可能であり、消費電力は約  $1 \text{ W}$  である。シリコンピクセルセンサーからの  $8,192$  チャンネルの信号は、チップ内部で増幅された後にディスクリミネータへ入力され、バイナリデータとして出力される。これらの処理は、センサーと同じ大きさの  $425 \times 50 \text{ μm}^2$  の信号処理回路で行なわれ、これらは、図 2.11 の様に  $32 \times 256$  とマトリックス状に配置されている。また、IBM 社の  $0.25 \text{ μm}$  の放射線耐性プロセスで作られ、 $30 \text{ MRad}$  までの放射線照射試験が行なわれた結果、致命的な損傷は認められていない。チップ上の信号処理回路と、その周辺回路を図 2.11 に示す。マトリックス状の信号処理回路の周辺に、JTAG インターフェイス回路、周辺回路、I/O パッドが配置される。読み出しチップの制御方法等の詳細は、付録 A で述べる。



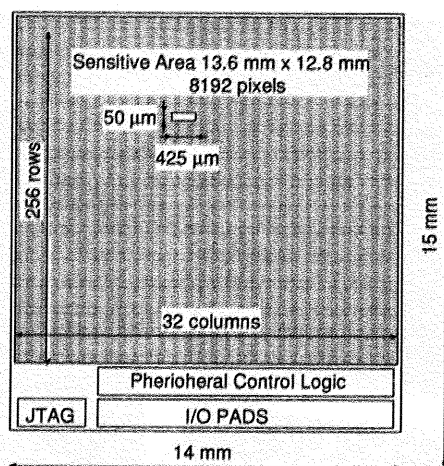


図 2.11: ALICE1LHCb 読み出しチップ上の信号処理回路とその周辺回路

### ピクセル回路

ピクセル毎の信号処理回路は、図 2.12 のブロック図の様に、アナログ回路部とデジタル回路部から構成される。これらの回路は、44 個ある 8 ビットの内部 Digital to Analog Converter (DAC) に対して値を設定する事で動作が決定される。これらの DAC は、ピクセル回路内のアナログ回路とデジタル回路へ対して電圧及び、電流を供給し動作点を与える。アナログ回路部では、センサーからの入力された信号は、差動型プリアンプと 2 段の差動型シェーパンプで増幅され、シェーパンプからの差動出力信号は、図 2.13 に示すディスクリミネータ回路の電圧電流変換回路 (Operational Transconductance Amplifier: OTA) へ入力される。ディスクリミネータは電流モードで動作し、そこから出力されたパルスは、比較器でバイナリ信号へ変換され、NAND ゲートを通過しデジタル部へ入力される。この NAND ゲートは、あるピクセルセル中のアナログ回路が常に信号を出力し続けている場合に、"MASK" の論理を真に設定してマスクする。チップ上の各ディスクリミネータの閾値は、内部 DAC で一括して設定できる。さらに 3 ビットの調整ビットでそれぞれのピクセル回路の閾値の微調整が行え、読み出しチップ全体での閾値を一様に近づけられる。この調整ビットの可変幅は、およそ  $960 e^-$  である。

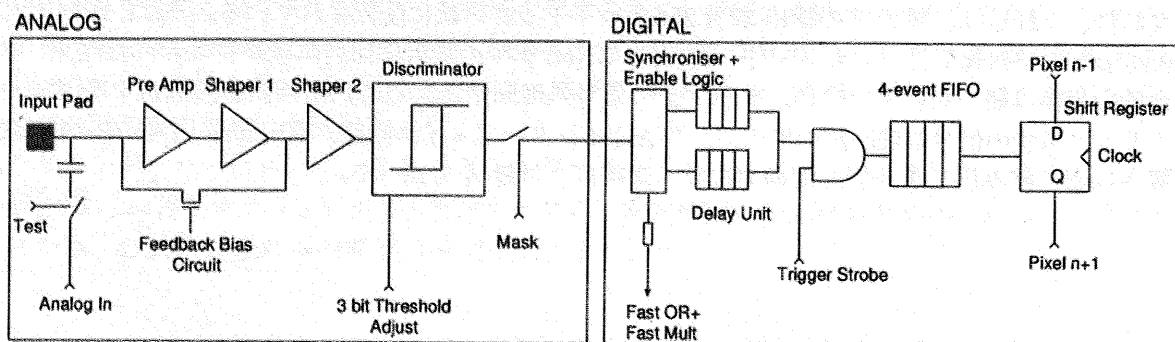


図 2.12: ピクセル回路のブロック図

デジタル回路部中のバイナリデータは、パイプライン遅延回路で Level1 トリガ信号とのタイミングを調整し、Level1 トリガが読み出しチップへ入力された時に、4 イベント FIFO バッファへデータが収められる。Level2y トリガ信号が入力されると、FIFO バッファへ収められたデータは、シフトレジスタへ送られて読み出される。

図 2.12 中の FastOR 回路は、8,192 のアナログ回路の出力で OR 論理を構成し、チップ上にヒットが 1 個以上存在する場合に信号を出力する。この FastOR 信号を用いてセルフトリガによりヒットを捉える事も可能である。

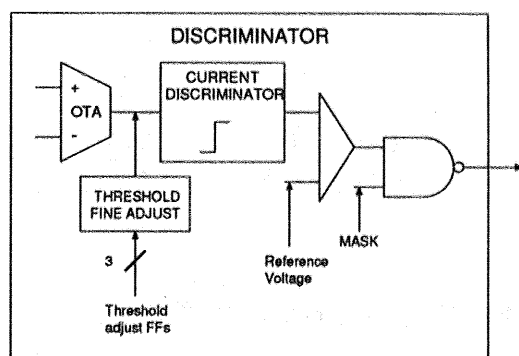


図 2.13: ディスクリミネータのブロック図

### JTAG による動作設定

読み出しチップは、JTAG シリアルインターフェースを通じて各種の設定が行なわれる。JTAG とは、Joint Test Action Group の略称であり、IC チップの検査方法の一つであるバウンダリスキャンテストの一つとして開発された。1990 年に、IEEE std. 1149.1-1990 Standard Test Access Port and Boundary-Scan Architecture として標準化された [25]。昨今の IC パッケージの高密度化、多ピン化により、従来の様に端子へプローブを当てる検査が難しくなった。その為に、IC チップ内部へプローブ試験と同様の機能を持つバウンダリスキャンボードと呼ばれる端子とレジスタを構成し、外部からテストコードを入力し、それに対する IC の振る舞いを調査する試験が行なわれている。これがバウンダリスキャンテスト (Boundary Scan Test:境界走査試験) で、その標準を定めた物が JTAG である。JTAG に対応した IC には、本来の機能の他、JTAG に対応した回路と付録 A.3 で説明する TAP (Test Access Port) よ呼ばれる 5 本の端子から構成されるインターフェイスを持ち、テストデータの入出力と制御を行なう。JTAG におけるバウンダリスキャンテストでは、検査する IC の TAP 端子をデージーチェーン接続し、複数の IC を同時に検査できる。読み出しチップの制御コマンドの送信や設定及び試験は、チップ上の 6 ピンの JTAG ポートを通して行われる。ピンが 6 本である理由は、図 A.7 に示す様に読み出しチップには JTAG 信号の入力端子が 2 本用意されているからである。この為に、デージーチェーン接続されている読み出しチップの内、1 チップが不良となっても動作制御が行なえる。以下の動作は、JTAG を用いて行なわれる。

1. 読み出しチップの動作設定用のデータを各コラムへ転送する。
2. 読み出しチップの動作を決定する内部 DAC を設定する。
3. バウンダリスキャンを行い、読み出しチップの電氣的接続を試験する。

### 読み出しチップへの供給電圧

読み出しチップの動作には、表 2.4 に挙げる電源電圧が必要である。読み出しチップの主電源である VDD 電圧、GTL 信号 [26] の基準電圧、GTL 信号用のプルアップ電圧、DAC 用の基準電圧を外部から供給する。

表 2.4: ALICE1LHCb 読み出しチップへの供給電圧

用途	アナログ回路		デジタル回路	
	電源名	電圧	電源名	電圧
GTL 信号用プルアップ電圧	VTT	1.6 V	VTT	1.6 V
主電源	VDD	1.8 V	VDD	1.8 V
GTL 信号用基準電圧	GTL_REF	0.8 V	GTL_REF	0.8 V
DAC 用基準電圧	DAC_REF_MID	0.955 V	DAC_REF_MID	0.955 V
DAC 用基準電圧	DAC_REF_VDD	1.8 V	DAC_REF_VDD	1.8 V

### ALICE1LHCb 読み出しチップの検査結果とその性能

ALICE1LHCb 読み出しチップは、8 インチのウエハー上に 86 個搭載された状態で生産される。読み出しチップは、放射線耐性プロセスを備えたアナログ回路とデジタル回路を混載した ASIC であるので、通常の半導体製品と比較して歩留まりが良くない。その為に、読み出しチップを切り分ける前にウエハーの状態で半自動で検査を行なう [22]。検査からセンサーハイブリッド製造までの流れを図 2.14 に示す。ウエハーの状態で読み出しチップの検査を行ない、検査に合格した物をバンプボンディングしてセンサーハイブリッドを製造する。

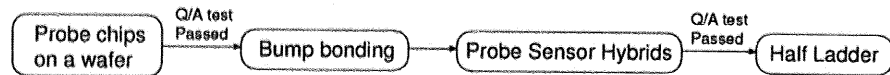


図 2.14: 読み出しチップの検査の流れ

検査では、読み出しチップの制御、アナログ回路とデジタル回路から構成されるピクセル回路の機能を検査し、読み出しチップ全体の最小閾値を測定する。最小閾値の測定では先ず図 2.15 に示す様に、各ピクセル回路へテストパルスの波高値を変化させて入力し、効率を示す曲線を描く。これを 8,192 個のピクセル回路に対しても同様の事を行なう。読み出しチップの最小閾値が 2,000  $e^-$  未満かつ、動作しないピクセル回路が 82 個未満である読み出しチップをクラス 1 と分類する。クラス 1 の読み出しチップはセンサーハイブリッドに使われる。センサーハイブリッドには使用しないが電氣的に動作する物をクラス 2、全く使用出来ない物をクラス 3 と分類する。付録 A で具体的な検査項目を述べる。

ウエハーを 22 枚検査し、クラス 1 チップは 692 個得られた。その結果、歩留まりは 37 % となった。表 2.5 へ生産された ALICE1LHCb 読み出しチップの検査結果を示す。

表 2.5: ALICE1LHCb 読み出しチップの検査結果

クラス 1	37 %	692 チップ
クラス 2	9 %	174 チップ
クラス 3	54 %	1026 チップ

図 2.16 にクラス 1 チップにおける最小閾値分布とノイズ分布を、図 2.17 へ同一のチップへバンプボンディングを行ない、センサーハイブリッドを形成後の最小閾値分布とノイズ分布の結果を示す。この結果、この読み出しチップは最小閾値が  $1,004 e^-$ 、平均ノイズ値が  $219 e^-$  となった。また、同様の検査をバンプボンディングを施したセンサーハイブリッドに対しても行なった時には、最小閾値が  $2,622 e^-$ 、平均ノイズ値が  $286 e^-$  となった。読み出しチップ単体の時よりも、センサーハイブリッドとして組み立てられた読み出しチップの最小閾値とノイズ値が大きいのは、バンプボンディングによりセンサーとピクセル回路が接続され、ノイズの影響を受け易くなった為と考えられる。

$200 \mu m$  厚のシリコンピクセルセンサーでは、最小電離粒子により  $\sim 15,000 e^-$  の電子が生成される。よって、読み出しチップ単体での最小電離粒子が生成する電子数に対する最小閾値の比率は約 15 であり、信号対雑音比はおよそ 68 である。バンプボンディング後では、最小電離粒子が生成する電子数に対する最小閾値の比率は約 5.7 であり、信号対雑音比は 52 である。

図 2.18 にウエハー上の読み出しチップを検査し、クラス 1 読み出しチップ中で動作するピクセル回路数のヒストグラムを載せる。クラス 1 と分類された読み出しチップ中で全てのピクセル回路が動作するチップは、50 個存在する。

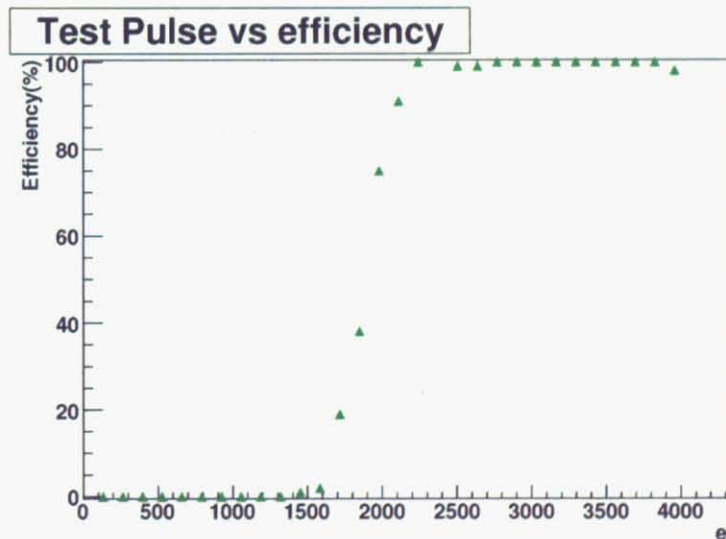


図 2.15: ピクセル回路の閾値の測定結果



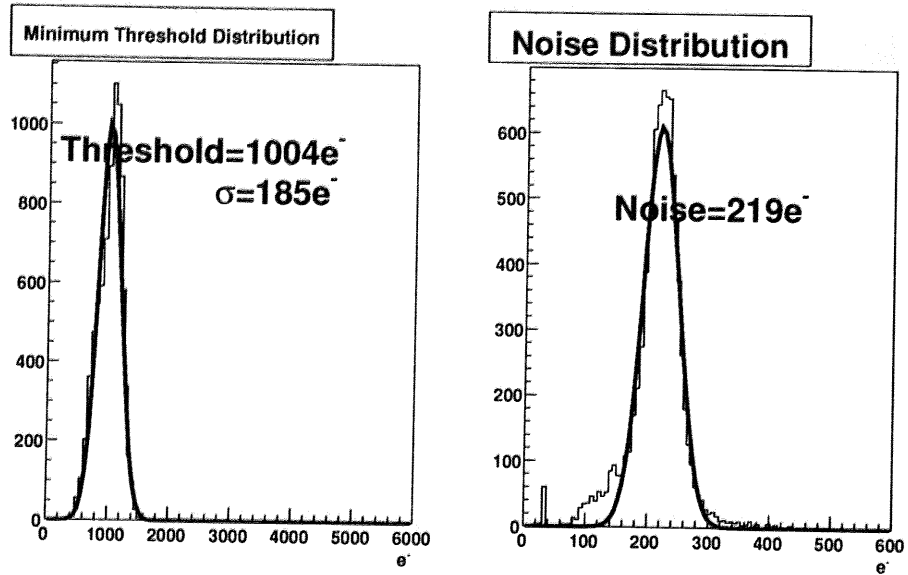


図 2.16: クラス 1 チップの平均最小閾値の分布 (左) とノイズ分布 (右)

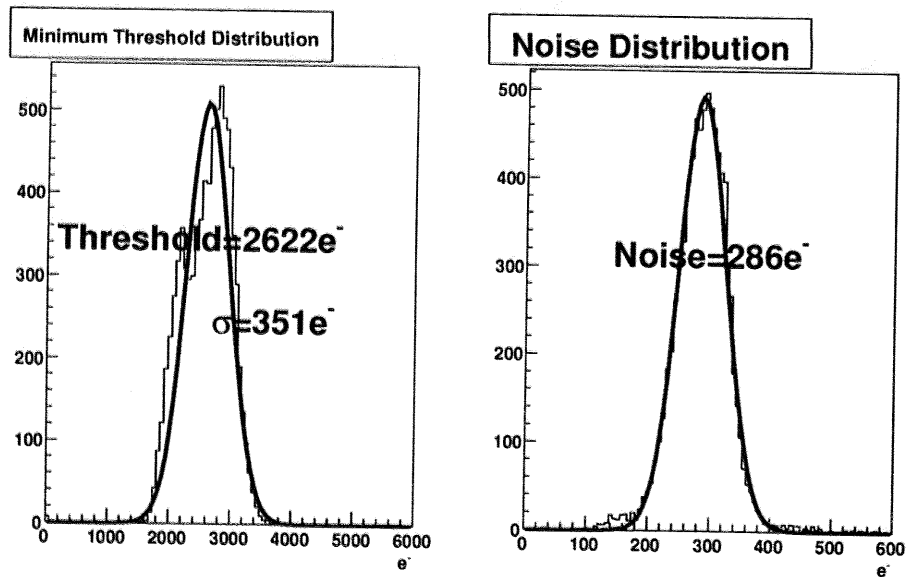


図 2.17: バンプボンディング後におけるクラス 1 チップの平均最小閾値の分布 (左) とノイズ分布 (右)

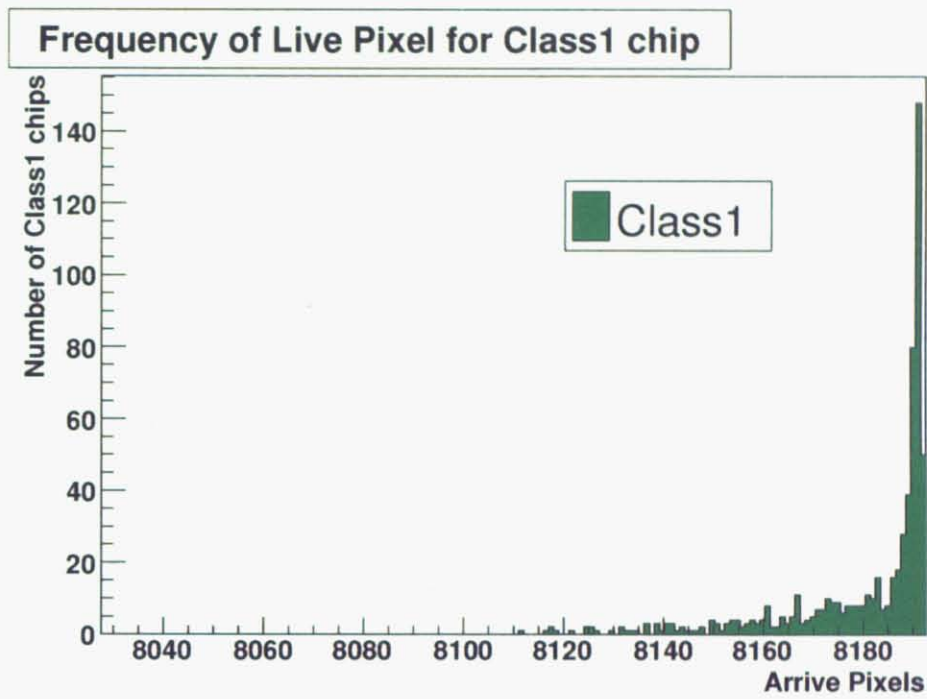


図 2.18: クラス 1 と分類された読み出しチップ中で動作するピクセル回路数のヒストグラム

### バンプボンディング

ウェハーから切り出したシリコンピクセルセンサーと検査に合格した4個の読み出しチップは、バンプボンディングで接合される。

バンプボンディングは、数10  $\mu\text{m}$ の球状にしたハンダを融解し、電気的な接続を行なう技術である。この技術は、2次元的な接続を行なえるので、高密度な製品のハイブリッド化が可能である。本センサーハイブリッドは、直径約20  $\mu\text{m}$ のハンダバンプを使用し、ピクセルセンサーと読み出しチップを接合している。図2.19へ、ハイブリッドピクセルセンサーに使用されているバンプの電子顕微鏡写真を示す。バンプボンディング工程は、フィンランド共和国 VTT Technical Research Centre of Finland<sup>1</sup>にて行なわれ、その成功率は99 %程度である。バンプボンディングの検査方法は、放射線源からの $\beta$ 線のヒットをセンサーハイブリッドで捉えられるかを確認する。現在、環境へ対する配慮から、理化学研究所と富士通インテグレートドマイクロテクノロジー株式会社が、共同で鉛フリーハンダによるバンプボンディング技術を開発している。しかしながら、鉛フリーハンダの性質上、高い融点でバンプが融解する事と、製品自体に100  $\mu\text{m}$ 程度の反り返りが有り、未だ90 %以上の成功率まで到達していない。

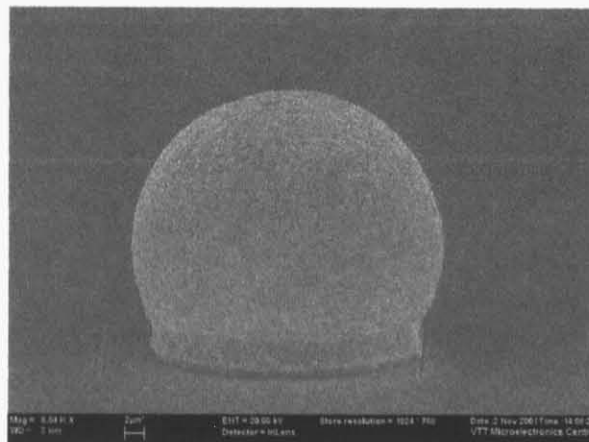


図 2.19: ハンダバンプ (直径約 20  $\mu\text{m}$ )

#### 2.4.4 高密度信号バス基板

センサーハイブリッドで捉えたヒットデータの読み出し、読み出しチップの制御等は、高密度信号バス基板を介して行なわれる。センサーハイブリッドは、バスとエポキシ系接着剤のアラルダイトで接着され、ワイヤボンディングにて電気的接続を行なう。詳細は、第3章へ記述する。

#### 2.4.5 シリコンピクセルステイブ

図2.20Aにシリコンピクセルステイブの構造を、Bにステイブの固定方法を示す。シリコンピクセルステイブは、2枚のハーフラダーと冷却管及び、冷却管の支持体の $\Omega$ 型の炭素繊維の構造体から構成される。ハーフラダーは、一枚の高密度信号バス基板を含めて2つのセンサーハイブリッドと炭素繊維の支持板がエポキシ系接着剤で接着されており、電気的構造の最小単位である。

<sup>1</sup><http://www.vtt.fi/>

$\Omega$ 型の構造体は、冷却管の支持だけではなく梁の役割も担っている。ステイブには、図 2.20 の B に示す様に、G-10 のブロックが支持体とエポキシ系接着剤で接着され、Be-Cu 合金のクリップでバレルとの固定具と保持される。この固定具でステイブは、図 2.21 に示す様に、バレル本体と固定される。ステイブの基本構造と固定方法は、シリコンストリップステイブの場合も同様である。この G-10 ブロックと固定具は、センサーのアクセプタンスの外にあるので測定に影響しない。2 組みのハーフラダーは、個々両側から高密度信号バスにより読み出しと制御が行なわれる。ハーフラダーに関しては次節で詳細を述べる。

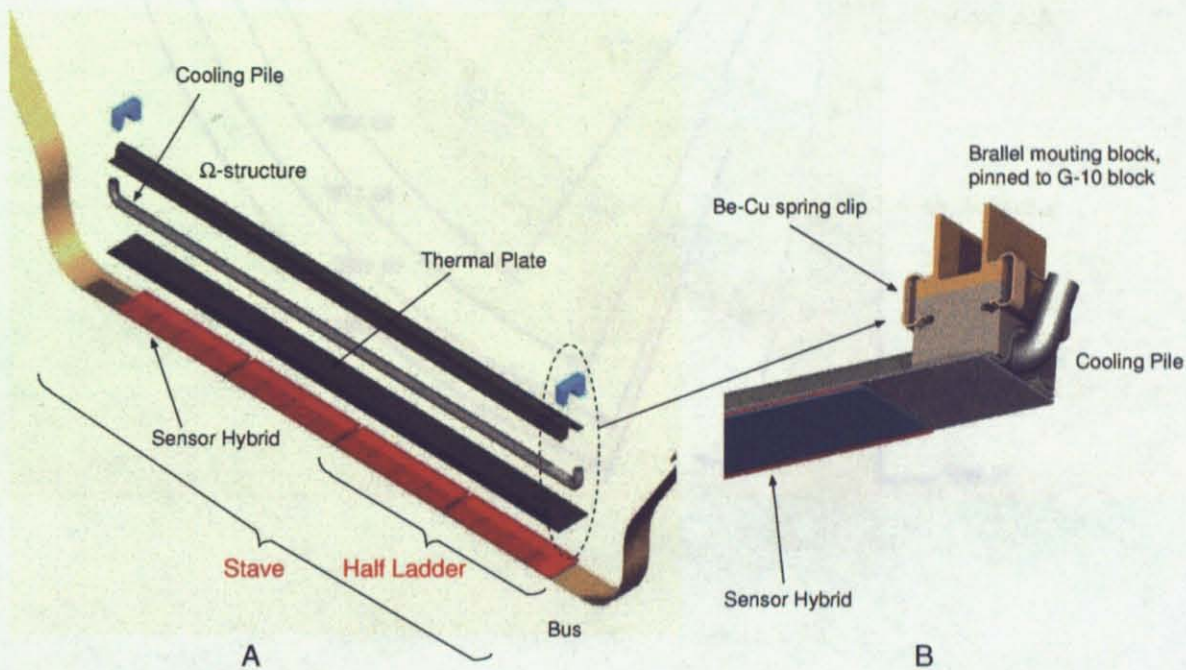


図 2.20: シリコンピクセルステイブとバレルの構造図。A:シリコンピクセルステイブの構造。B:ステイブの固定方法。



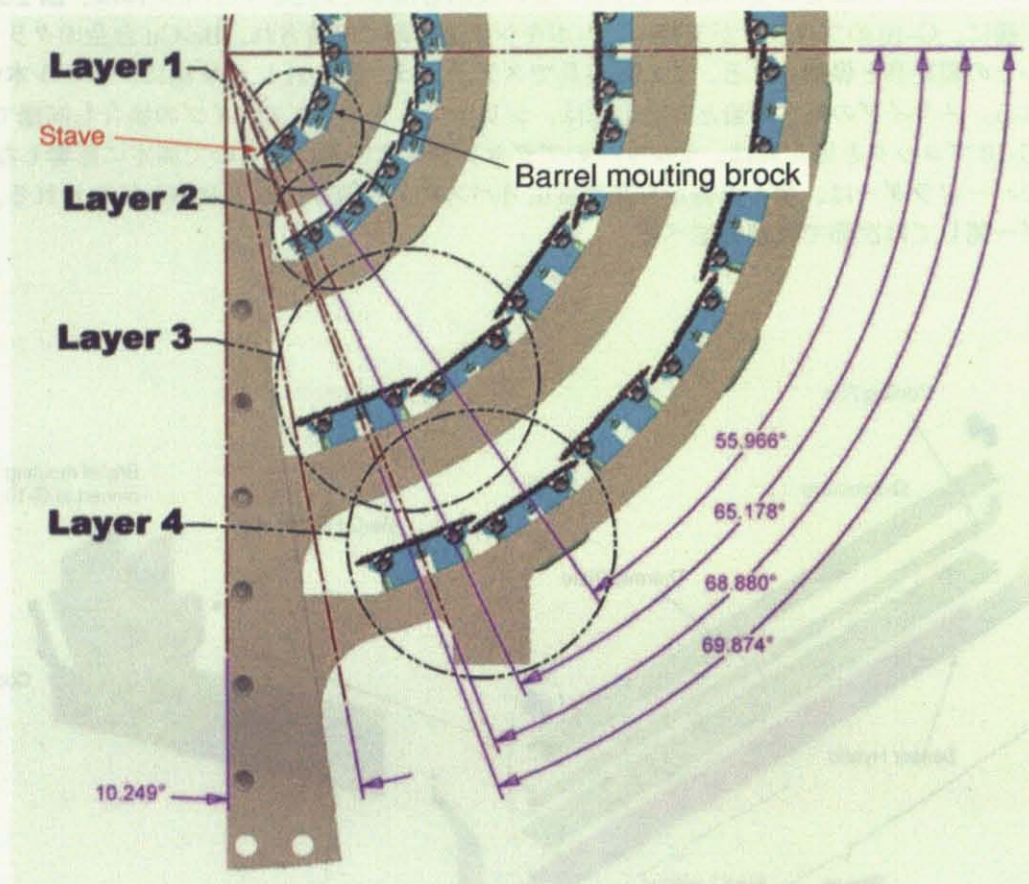


図 2.21: バレル内部の各層の構成概念図

## 2.5 センサーハイブリッドの読み出しと制御

2つのセンサーハイブリッドが搭載されるハーフラダーは、読み出し系統の最小単位である。ハーフラダーには、8個の読み出しチップが搭載され、総チャンネル数は $2 \times 4 \times 8,192 = 65,536$ チャンネルである。ここでは、ハーフラダーの構造、センサーハイブリッドの読み出しと制御に関して説明する。

### 2.5.1 ハーフラダーの機械的構造

図 2.22 ヘシリコンピクセルラダーの断面の概念図と全体の概念図を載せる。センサー底部へは、炭素繊維の支持板をアラルダイトで貼り付ける。次に、センサーハイブリッドの上側に高密度信号バス基板をアラルダイトで接着し、ワイヤボンディングで読み出しチップとの電氣的接続を行なう。ピクセルセンサーへ印加する逆バイアス電圧は、ハーフラダーの組み立て工程の簡略化の為に、アースポストと呼ばれる金属片をセンサーへ導電性接着剤で貼り付ける。各部材が接着された後に、読み出しチップ上とバス上のパッドをワイヤボンディングで電氣的な接続を行なう。また、ラダーは高密度コネクタでエクステンダと接続される。



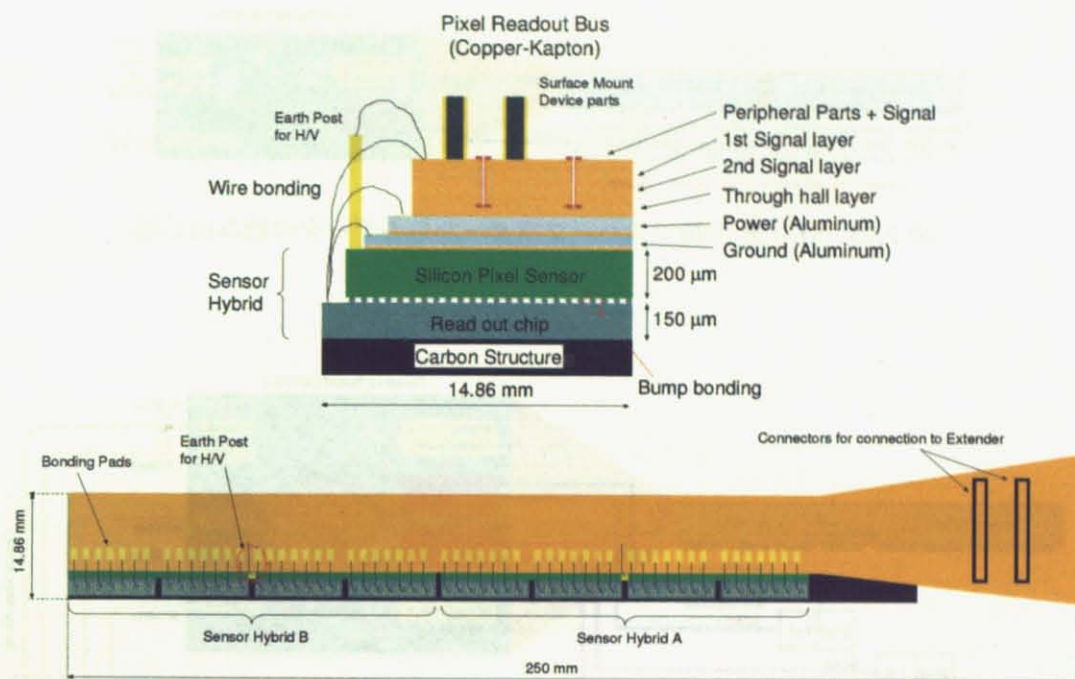


図 2.22: シリコンピクセルラダーの断面の概略図 (上) と全体の概念図 (下)

### 2.5.2 ハーフラダーの読み出し方法

PHENIX 仕様のハーフラダーは、ALICE 仕様と比較して 5 倍高速でデータを読み出せる [17]。図 2.23 に ALICE 仕様の読み出し図を示す。ALICE 仕様では、ハーフラダー上の 10 個の読み出しチップをシリアルに読み出すので、読み出し時間は  $256 \mu$  秒である。図 2.24 に、PHENIX 仕様のハーフラダーの制御と読み出しのブロック図を示す。1 つのセンサーハイブリッドは、同時に 1 つのデジタルパイロット ASIC で制御される。センサーハイブリッド上の読み出しチップは、各 32 ビットでの出力を行なう。PHENIX 仕様のデジタルパイロット ASIC は、ALICE 仕様の物を改造したものであり、2 つの ALICE1LHCb 読み出しチップを並列にし、64 ビットのデータ幅で読み出せる。これを 2 度繰り返す事で、1 つのセンサーハイブリッド上の 4 つの読み出しチップを  $256 \text{ row} \times 2 \text{ チップ} = 512 \text{ サイクル}$  で全て読み出す事になる。1 サイクルは、 $100 \text{ n}$  秒なので  $51.2 \mu$  秒で読み出しが完了する。ハーフラダーを 2 つのデジタルパイロット ASIC で読み出す事で、ハーフラダー全体を  $51.2 \mu$  秒で読み出せる。読み出されたデータは、シリアルライザ ASIC (GOL ASIC) へ送られシリアル化され、1.6 Gbps で Front End Module (FEM) ボードへ送られる。

PHENIX 仕様のハーフラダーにおいて読み出しチップは、図 2.25 の様にチップイネーブル線とデータの読み出し線が接続されている。チップイネーブル CE0 と CE2 が、デジタルパイロットチップから出力されると、チップ 1 とチップ 3、チップ 5 とチップ 7 のデータが  $25.6 \mu$  秒で同時に読み出される。同様に、チップイネーブル CE1 と CE3 が出力されると、チップ 2 とチップ 4、チップ 6 とチップ 8 のデータが読み出される。この動作により、 $51.2 \mu$  秒で全てのハーフラダー上の読み出しチップが読み出される。この方法は、並列処理により高速化を行なったものであるが、バス基板のデータ幅が 32 ビットから 128 ビットと 4 倍となる。しかし、バス基板の物理的な幅は、ALICE 仕様と同じであり、更なるバス基板の高密度化が必要となる故にバス基板自体の製作を困難にする。

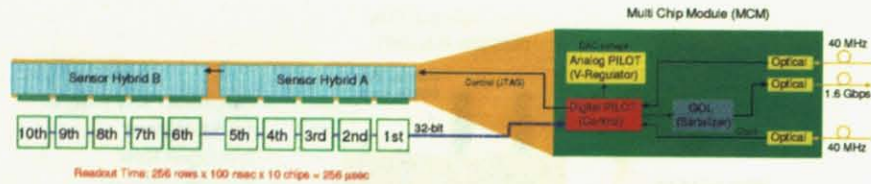


図 2.23: ALICE 仕様でのハーフラダーからのデータの読み出し図

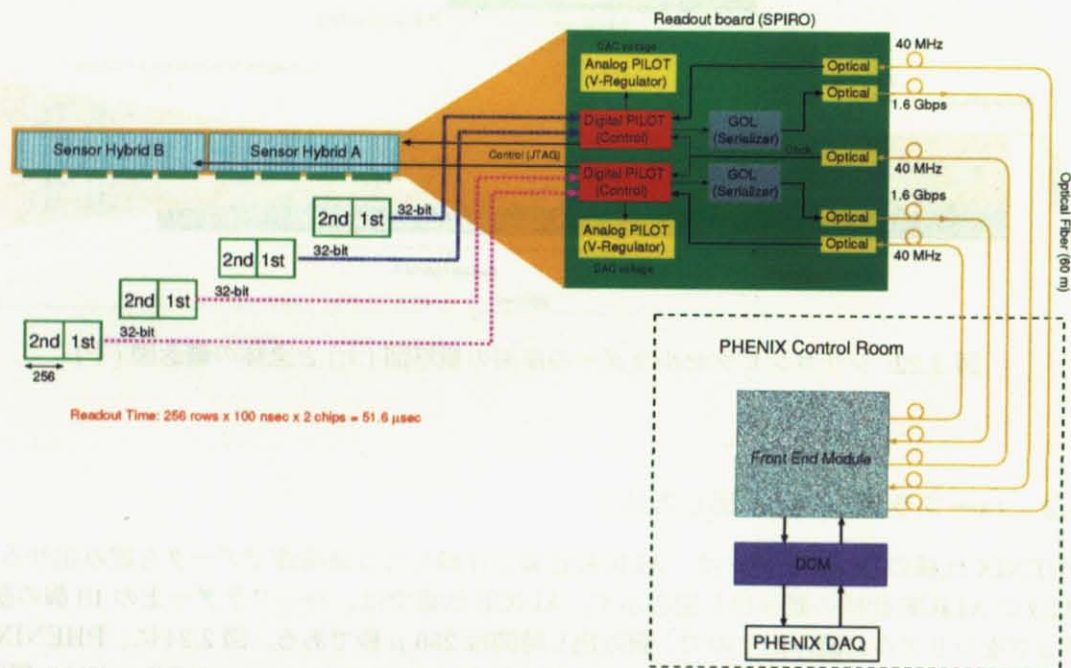


図 2.24: ハーフラダーからのデータの読み出し図

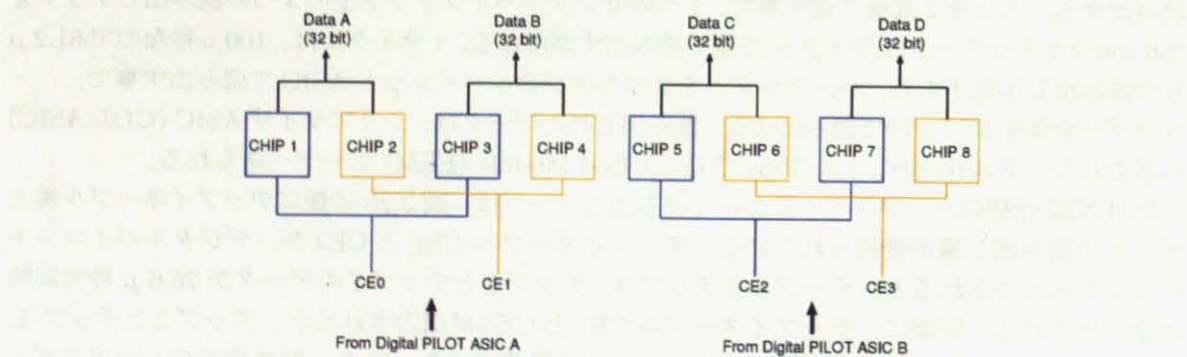


図 2.25: チップイネーブル線とデータ線の接続図



### 2.5.3 SPIRO ボード

Silicon Pixel Interface Read Out (SPIRO) ボードは、ALICE1LHCb 読み出しチップの制御、データの読み出し、データのシリアル化と転送を行なう。このボードは、フランス共和国École Polytechnique で作られた。図 2.26 に SPIRO ボードとそのブロック図を示す。SPIRO ボードには、デジタルパイロット ASIC、アナログパイロット ASIC、Giga-bit Optical Link (GOL) ASIC がそれぞれ 2 個と、FPGA が 1 個、エクステンダとの接続用コネクタが 2 個搭載される。各読み出しチップの制御とデータの読み出しは、デジタルパイロット ASIC が行なう。デジタルパイロット ASIC へは、光ファイバーで 40 MHz のクロックと 40 MHz のシリアル制御信号が FEM ボードから与えられる。この 40 MHz のシリアル制御信号を受け、デジタルパイロット ASIC は、各読み出しチップの制御とデータの読み出し及び、アナログパイロット ASIC を制御し、読み出しチップの動作に必要な基準電圧を生成し各読み出しチップへ与える。FPGA の役割は、デジタルパイロット ASIC が出力する 32 ビット幅の平行データのパリティビットとイベントカウンタを計算し、元のデータに加える事と、GOL ASIC へ与える 8b/10b 方式 [23] の制御信号の生成及び、内部の FIFO へフォーマットしたデータを一時的に保存し、GOL ASIC へ送る事である。1.6 Gbps のシリアル伝送を行なう GOL ASIC は、安定した伝送を行なう為に低ジッター (< 100 p 秒) のクロックが必要であるが、PHENIX DAQ システムから供給されるクロックは、ジッターが大きく使用できない。そこで、図 2.26 のブロック図に示す様に、このシリアルリンクとは別に SPIRO ボード上に用意された低ジッターの水晶発振器を使用する。このクロックは、PHENIX DAQ システムから供給されるクロック周波数よりも高く、その為にタイミングを調整する為の FIFO を FPGA 内部に用意する。新たにフォーマットしたデータは水晶発振器のクロックで GOL ASIC へ送られ、内部で 8b/10b 方式のシリアルデータへ変換され、光ファイバーを経由して 1.6 Gbps で FEM ボードへ転送される。

8b/10b 方式とは、IBM が開発した 8 ビットの平行データを 10 ビットのデータへ変換してシリアル転送する方式である [23]。数 GHz の高速度転送では、信号周波数の増加と共にプリント基板の損失が指数関数的に大きくなり、H レベルや L レベルが連続した後の短い信号の変化が有ると十分にレベルが遷移しなくなり、機器の誤作動の原因となる。これを避ける対策として、例えば元の 8 ビットデータが 0001 0000 である時に 011011 0100 と冗長化し、同じレベルが続かない様にする。

また、SPIRO ボードも放射線環境下へ置かれるために、使用するデバイスは放射線耐性を備える。

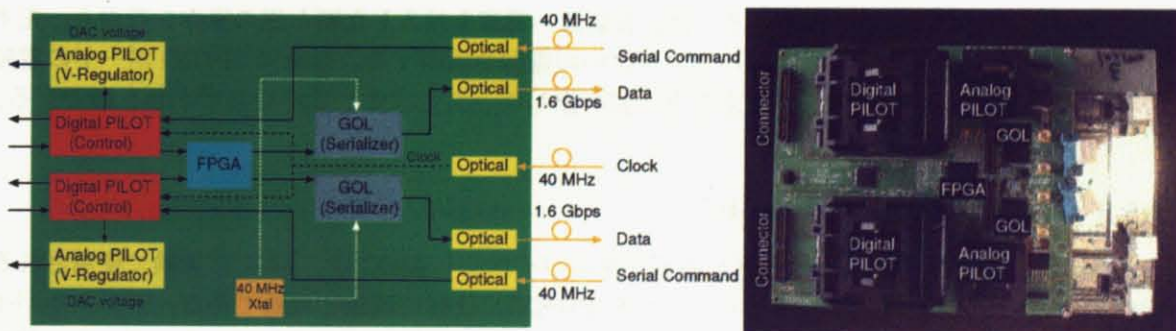


図 2.26: SPIRO ボードのブロック図 (左) と SPIRO ボードの写真 (右)



### ハーフラダーの動作に必要な操作

ハーフラダーを動作させる為に必要な手順を述べる。

#### 1. 初期設定

先ず、SPIRO ボードの電源を投入し、その後ハーフラダーの電源を投入する。最後にセンサーへ 50 V の逆バイアス電圧を与える。

次に、ハーフラダー上の各 ALICE1LHCb 読み出しチップの動作に必要な各電圧の供給を行なう。これらは表 2.4 で示す値となる様に、デジタルパイロット ASIC ヘシリアルコマンドを送り、アナログパイロット ASIC を制御して調節する。

動作に必要な電圧を調整できた後に、各読み出しチップへリセット信号を送り、チップ内部の DAC、シフトレジスタ等の初期化を行なう。次に、読み出しチップ内部の 44 個の DAC へ 8 ビットの動作値を設定し、閾値、パイプラインの時定数等を設定する。

#### 2. ハーフラダーの運用準備

初期化後に設定した読み出しチップの閾値が適切かを確認し、必要ならば閾値を設定する DAC の値を調律する。調律方法は、テストパルスを読み出しチップへ与えない時の全ピクセル回路から出力が無くなる DAC の値を探す。次に、その DAC 値における閾値を素電荷 ( $e^-$ ) 単位で測定する。測定は、決まった数のテストパルスを読み出しチップへ与え、与えた数に対する読み出せた数の比率をテストパルスの波高値を変化させて行なう。

#### 3. ハーフラダーの運用

各読み出しチップからのデータの読み出しは、外部から Level1 トリガ信号を与えピクセル回路中の 4 イベント FIFO へデータを収め、Level2y トリガ信号を受けて FIFO 中のデータをデジタルパイロット ASIC が読み出す。読み出されたデータは、デジタルパイロット ASIC を経由して FPGA へ入り、パリティビットとイベントカウンタが加えられた後、GOL へ送られる。

ハーフラダーの連続運用時には、ハーフラダー上に設置した 8 個の白金測温抵抗体の電気抵抗をアナログパイロット ASIC で測定し、異常発熱が無いかを常に監視する。このデータはデジタルパイロット ASIC で読み出され、その出力をデコードする事で表面温度が測定できる。

#### 4. ハーフラダーの運用の終了

ハーフラダーの運用を終了するには、各装置へ電源を投入した順と逆の操作を行なう。先ずバイアス電源を切断し、次にハーフラダーの電源を切断する。最後に SPIRO ボードの電源を切断する。この操作を間違えると、読み出しチップを破損するので必ず手順を厳守する。

### 2.5.4 デジタルパイロット ASIC

シリコンピクセル検出器で使用されるデジタルパイロット ASIC は、ALICE 実験で使用される PILOT2003 デジタルパイロットチップ [24] を PHENIX 仕様に改造した物である。デジタルパイロット ASIC は、IBM の 0.25  $\mu\text{m}$  CMOS 放射線耐性プロセスにより作られている。データの読み出し幅を 32 ビットから  $2 \times 32$  ビットへ増やし、2 個の ALICE1LHCb 読み出しチップからのデータを同時に読み出せる。

デジタルパイロット ASIC は、以下の機能を有している。外部から 40 MHz 8 ビットのシリアル信号を受け、JTAG 接続された各デバイスの制御を行なう。ALICE1LHCb 読み出しチップを制御し

て、閾値の設定、データが内蔵の FIFO ヘデータが送られる時間の設定、任意のピクセルのマスクを行なう。また、アナログパイロット ASIC を制御し、読み出しチップの動作に必要な基準電圧を読み出しチップへ供給する。

ALICE1LHCb 読み出しチップ、アナログパイロット ASIC、GOL ASIC は、それぞれ JTAG プロトコルを用いて制御が行なわれる。JTAG プロトコルはシリアル信号であるので、全てのデバイスは図 2.27 の様にデジチェーン接続される。デバイスを個別に制御する為に、デジタルパイロット ASIC 内部には、シリアル信号の流れを変えてバイパスを行なう切替えスイッチが設けられている。読み出しチップからデータを読み出すには、デジタルパイロット ASIC にトリガ信号を出力させる 8 ビット 40 MHz のシリアルコマンドをデジタルパイロット ASIC へ送る。デジタルパイロット ASIC から出力されたトリガ信号は、バス基板上のトリガ線を経由して読み出しチップへ送られ、読み出しチップがデータを出力する。その出力したデータをデジタルパイロット ASIC が読み出す。

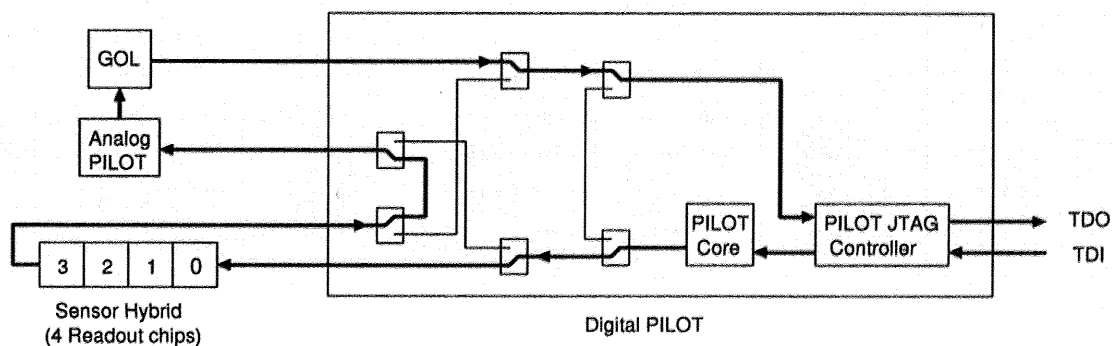


図 2.27: デジタルパイロットチップと各デバイス間の JTAG 接続と、デジタルパイロット ASIC 内部の切り換えスイッチ

### デジタルパイロット ASIC から出力されるデータのフォーマット

デジタルパイロット ASIC は、40 MHz のクロック毎に表 2.6 で示す様に、32 ビットデータから構成される slot を連続的に出力し、slot0 ~ slot3 を 10 MHz のクロック周期で出力する。2 つの slot で 1 つの frame を構成する。各 frame は、制御データからのフィードバックやピクセルのヒットデータを含む。図 2.28A に示す様に、frame0 とアイドル信号を交互に常に出力する。slot0 と slot1 に制御データのフィードバック等を出力する。

ピクセルデータが読み出される様子を図 2.28B に示す。先ず frame0 内に制御ビットである first\_word が立ち、イベント情報を含む frame1a が出力されてデータ転送の開始を行なう。続いて、frame1b 中に含まれたピクセルデータが 256 回出力される。データの転送が終了すると、256 回目の frame1b の後に出力される frame0 中に、終了を示す制御ビットの last\_word が立ち、データ転送の終了を表す。

表 2.6: デジタル PILOT のデータフォーマット

Pin name	bit	frame0		frame1a		frame1b	
		slot0	slot1	slot2	slot3	slot2	slot3
p.link_bus_15	31	data control & signal feedback	data control & signal feedback	event description	pixel hit data line	pixel hit data line	pixel hit data line
p.link_bus_14	30	no data	no data	eventnumber9	remainingchip3	pixel hit data B31	pixel hit data B15
p.link_bus_13	29	first_word	first_word.trig	eventnumber8	remainingchip2	pixel hit data B30	pixel hit data B14
p.link_bus_12	28	last_word	last_word.trig	eventnumber7	remainingchip1	pixel hit data B29	pixel hit data B13
p.link_bus_11	27	clear_event	clear_event.trig	eventnumber6	remainingchip0	pixel hit data B28	pixel hit data B12
p.link_bus_10	26	temp	error_bob	eventnumber5	row_add7	pixel hit data B27	pixel hit data B11
p.link_bus_9	25	firstorbus9	idle_bob	eventnumber4	row_add6	pixel hit data B26	pixel hit data B10
p.link_bus_8	24	firstorbus8	tck_return	eventnumber3	row_add5	pixel hit data B25	pixel hit data B9
p.link_bus_7	23	firstorbus7	tdo_return	eventnumber2	row_add4	pixel hit data B24	pixel hit data B8
p.link_bus_6	22	firstorbus6	tms_return	eventnumber1	row_add3	pixel hit data B23	pixel hit data B7
p.link_bus_5	21	firstorbus5	meb_state[1]	eventnumber0	row_add2	pixel hit data B22	pixel hit data B6
p.link_bus_4	20	firstorbus4	meb_state[0]	remainingchips9	row_add1	pixel hit data B21	pixel hit data B5
p.link_bus_3	19	firstorbus3	feedback[2]	remainingchips8	row_add0	pixel hit data B20	pixel hit data B4
p.link_bus_2	18	firstorbus2	feedback[1]	remainingchips7	meb_val2	pixel hit data B19	pixel hit data B3
p.link_bus_1	17	firstorbus1	feedback[0]	remainingchips6	meb_val2	pixel hit data B18	pixel hit data B2
p.link_bus_0	16	firstorbus0	feedback[3]	remainingchips5	meb_val2	pixel hit data B17	pixel hit data B1
p.link_bus_k_15	15	no data	no data	remainingchips4	0	pixel hit data B16	pixel hit data B0
p.link_bus_k_14	14	no data	no data	eventnumber9	remainingchip3	pixel hit data A31	pixel hit data A15
p.link_bus_k_13	13	first_word	first_word.trig	eventnumber8	remainingchip2	pixel hit data A30	pixel hit data A14
p.link_bus_k_12	12	last_word	last_word.trig	eventnumber7	remainingchip1	pixel hit data A29	pixel hit data A13
p.link_bus_k_11	11	clear_event	clear_event.trig	eventnumber6	remainingchip0	pixel hit data A28	pixel hit data A12
p.link_bus_k_10	10	temp	error_bob	eventnumber5	row_add7	pixel hit data A27	pixel hit data A11
p.link_bus_k_9	9	firstorbus9	idle_bob	eventnumber4	row_add6	pixel hit data A26	pixel hit data A10
p.link_bus_k_8	8	firstorbus8	tck_return	eventnumber3	row_add5	pixel hit data A25	pixel hit data A9
p.link_bus_k_7	7	firstorbus7	tdo_return	eventnumber2	row_add4	pixel hit data A24	pixel hit data A8
p.link_bus_k_6	6	firstorbus6	tms_return	eventnumber1	row_add3	pixel hit data A23	pixel hit data A7
p.link_bus_k_5	5	firstorbus5	meb_state[1]	eventnumber0	row_add2	pixel hit data A22	pixel hit data A6
p.link_bus_k_4	4	firstorbus4	meb_state[0]	remainingchips9	row_add1	pixel hit data A21	pixel hit data A5
p.link_bus_k_3	3	firstorbus3	feedback[2]	remainingchips8	row_add0	pixel hit data A20	pixel hit data A4
p.link_bus_k_2	2	firstorbus2	feedback[1]	remainingchips7	meb_val2	pixel hit data A19	pixel hit data A3
p.link_bus_k_1	1	firstorbus1	feedback[0]	remainingchips6	meb_val2	pixel hit data A18	pixel hit data A2
p.link_bus_k_0	0	firstorbus0	feedback[3]	remainingchips5	meb_val2	pixel hit data A17	pixel hit data A1
				remainingchips4	0	pixel hit data A16	pixel hit data A0

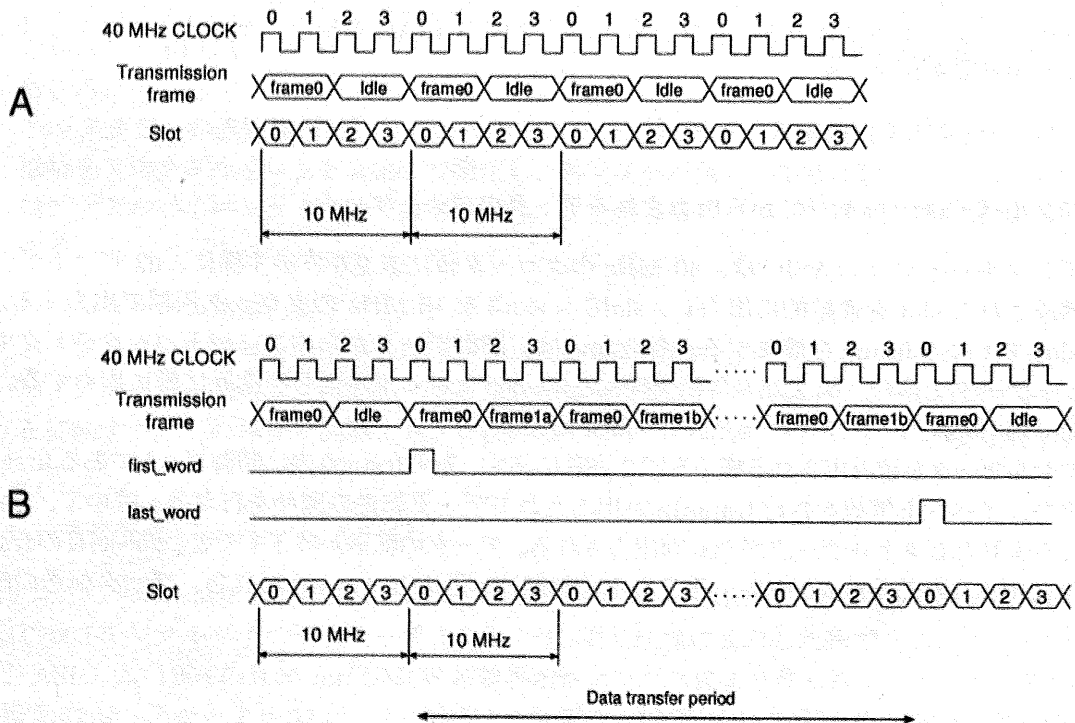


図 2.28: デジタルパイロットからのデータの出力。A はアイドル状態を示す。B は ALICE1LHCb 読み出しチップからデータが読み出される様子を示す。

### 2.5.5 アナログパイロット ASIC

アナログパイロット ASIC は、ALICE1LHCb 読み出しチップの内部 DAC と GTL 信号用の基準電圧及び、テストパルスを供給する。これらは、8 ビットの DAC により生成される。IBM の  $0.25\ \mu\text{m}$  CMOS 放射線耐性プロセスを用いて作られている。また、内蔵の 10 ビット ADC で供給電圧の計測を行なえ、ハーフラダーのバス基板上に 8 個搭載された白金測温体の電気抵抗値を読み出し、読み出しチップの表面温度の計測を行なう [27]。

SPIRO ボードに搭載したアナログパイロット ASIC で、ハーフラダー上の各読み出しチップへ DAC 用と GTL 信号用の基準電圧を供給し、それぞれの読み出しチップの動作が確認されている。

### 2.5.6 GOL ASIC

GOL (Gigabit Optical Link) ASIC は、G-Link と Gigabit-Ethernet の両プロトコルに対応し、800 Mbps と 1.6 Gbps でデータの転送が行なえる。GOL ASIC は、IBM の  $0.25\ \mu\text{m}$  CMOS 放射線耐性プロセスで作られている [28]。

PHENIX 実験では、光ファイバーで使用する 1000BASE-SX 規格等で用いられる 8b/10b 方式で送信データをシリアル信号へ符号化し、1.6 Gbps でデータ転送を行なう。デジタルパイロット ASIC が出力する 40 MHz の 32 ビットのデータを、8b/10b 方式で冗長化して 40 ビットにし、その信号を 40 通倍して 1.6 Gbps のシリアル信号へ変換し、FEM ボードへ転送する。

第 4 章で述べる宇宙線を用いた試験では、センサーハイブリッドで捉えた宇宙線のヒットデータを GOL ASIC で 1.6 Gbps のシリアル信号へ変換し、FEM ボードへ転送を行ないデータ収集を行なった。



## 第3章 PHENIX 高密度信号バスの開発

### 3.1 開発の方針

シリコンピクセル崩壊点検出器用の高密度バス (1.5 cm バス) は、PHENIX 実験での物理測定から由来する物質量の制限と、高速読み出しに必要な電気的な要求を満たさねばならない。その目標達成の為に、バスの物質量を抑制した高速伝送が可能な PHENIX 仕様バスの開発が必須である。1.5 cm バスは、図 3.1 に示す様に、センサーハイブリッドの上側へ貼り付けられる。1.5 cm バスとセンサーハイブリッドは、ワイヤボンディングにて電気的に接続される。この 1.5 cm バスをシリコンピクセル崩壊点検出器開発の条件に従い開発した。

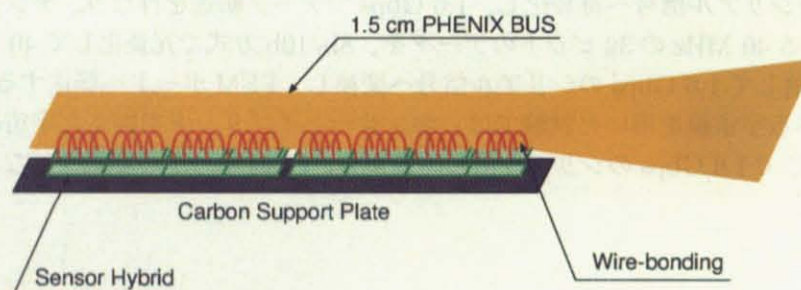


図 3.1: PHENIX 高密度信号バス (1.5 cm バス) とセンサーハイブリッドの位置関係

物理測定の要求では、1.5 cm バスの物質量を 0.28 %未満とし、かつバスの幅をシリコンピクセルセンサーの幅よりも短くしなくてはならない。同時に、放射線耐性を備える必要がある。物質量の低減は、シリコンピクセル検出器が衝突点から 2.5 cm と 5.0 cm に設置されるので、後段の検出器へ対する多重散乱の影響を低減させる事は、検出器の DCA 解像度を 40  $\mu\text{m}$  未満とする為に重要である。幅の制約は、ピクセルセンサーの幅が 13.9 mm であり、これ以上のバス幅では円筒状の検出器を構成した最に重なり合う部分が生じ、検出面積を大きく取れない為である。運転期間中は、Stripixel センサーの暗電流を抑える為、0  $^{\circ}\text{C}$  雰囲気に入れられ、またビームタイム外の保存期間中は室温に置かれる。このヒートサイクルに耐え、熱変形の影響が小さくなくてはならない。ピクセル検出器からのデータ転送速度を最大で ALICE 実験の 5 倍の 51.2  $\mu\text{s}$  とする為に、データ線の総数を ALICE 実験の 4 倍の 128 ビットとして達成する。ALICE1LHCb 読み出しチップは 10 MHz のクロックで動作し、Level1 トリガは最大 25 kHz で PHENIX DAQ から送られて来るので、それらの信号を忠実に伝送し、かつ外部からの障害による誤作動を起こさず、周囲の検出器への障害を与えない配慮が必要であるので EMC 対策を施す (付録 B を参照)。これには、各層へ配置される線路の特性インピーダンスを揃え、近接する線路とのクロストークを低減させなくてはならない。

以上を満たすには、線幅と線間距離を従来よりも大幅に短縮し、多くの信号線を限られた場所へ収めねばならない。しかし、現在のプリント基板製造技術では、線幅 80  $\mu\text{m}$ 、線間距離 60  $\mu\text{m}$  が



最小であり、本バスが要求する線幅  $30\ \mu\text{m}$ 、線間距離  $30\ \mu\text{m}$  は、難易度の高い微細加工技術である。また、各層の線路間の電氣的接続にはスルーホールを用いるが、線幅が細い為に精度良く各層を貼り合わせる必要が有る。スルーホールの内穴を数  $10\ \mu\text{m}$  の精度でレーザー加工せねば本バスの製造は行なえない。また、部分的にはあるが、物質量の少ないアルミニウムを採用した。これらの技術的課題を克服すべく開発を進めた。

### 3.1.1 開発の手順

1.5 cm バスの開発では物理測定による要求と電氣的な要求を同時に満たす為に、伝送特性のシミュレーション及び、試作品の製作と試験を行なう。

先ず、1.5 cm バスの仕様を決定する。ALICE1LHCb 読み出しチップの制御、バイアス電源等の回路の設計と使用する部品の選定、機械設計を行なう。その仕様での伝送特性を電子回路用シミュレータで検証する。

次に、設計した電気回路を検証するテストバス (3 cm バス) を既存の技術で製作する。3 cm バスの伝送特性のシミュレーションを行い、伝送された信号波形と隣り合う線路とのクロストークのレベルを確認し、また各線路の特性インピーダンスを求める。

3 cm バスでハーフラダーを試作する。読み出しチップの設定を行ない、テストパルスを読み出しチップへ与え、そのデータを読み出す。伝送されたデータ信号の波形をオシロスコープで観測し、シミュレーションの結果と比較し、シミュレーションの信頼性を確かめる。ハーフラダーの動作を確認し、放射線源からの  $\beta$  線や宇宙線を用いて試験を行なう。

以上の 3 cm のハーフラダーで行なった試験結果を 1.5 cm バスの開発へ反映する。ここで、機械設計の仕様の変更が有った際には、再度シミュレーションを行ない伝送特性を検証する。最後に、1.5 cm バスでプロトタイプハーフラダーを製作し、読み出しチップの制御とデータの取得を行なう。

## 3.2 バスの構造

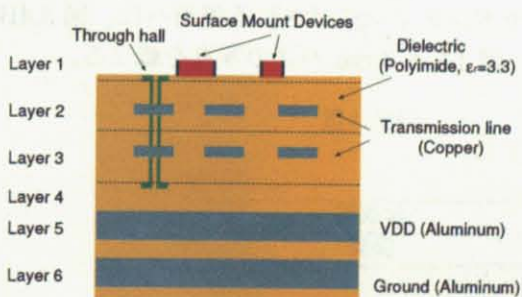


図 3.2: 1.5 cm バスの断面の概念図

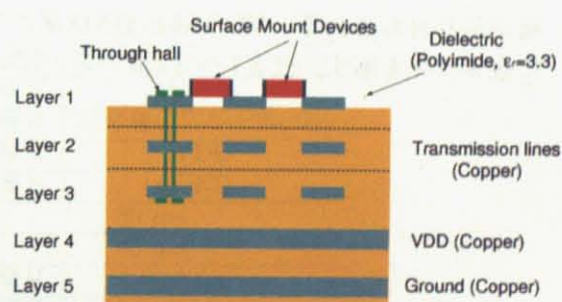


図 3.3: 3 cm バスの断面の概念図

1.5 cm バスと 3 cm バスの構造を図 3.2 と図 3.3 に示す。それぞれグランドプレーンの上部へ信号パターンを形成するマイクロストリップ型線路を採用する。これは、ALICE1LHCb 読み出しチップのクロックが 10 MHz であるので、付録 B.1.4 で述べるグランドバウンス等を防ぎ、信号の質を向上させる為に有効である。グランドプレーン (GND 層) と電源層 (VDD 層) は、1.5 cm バスではアルミニウムを、3 cm バスでは銅を採用する。GND 層と VDD 層へもワイヤボンディングが行なわれるので、ボンディングが行なわれる箇所のアルミニウム箔へ下地のニッケルメッキを施し、その上に金メッキを部分的に施す。これは、ワイヤボンディングが超音波を用いて行

なわれるので、ボンディング側に剛性が求められるからである。3 cm バス、1.5 cm バス共に長さは 250 mm であり、バスと SPIRO ボードを接続する長さ 450 mm のエクステンダと接続される。1.5 cm バスでは、製造したピクセルステイブの輸送とシリコンピクセル崩壊点検出器の組み立てを容易にする対策として、両者はヒロセ電機株式会社製 DF18 シリーズの 100 ピン、0.4 mm ピッチ FPC 用コネクタで接続されるので容易に接続と分離が可能である。バス基板は、ビーム衝突点を中心に、+Z 側用と -Z 側用の 2 種類製作する。また、エクステンダは内層用と外層用が製作され、それらの組み合わせでハーフラダーは、+Z 側内層用、-Z 側内層用、+Z 側外層用、-Z 側外層用が用意される。

1.5 cm バスの第 1 層は、表面実装部品の配置と層間の信号線路を電氣的に接続するスルーホール片側の穴を設ける為の層とし、その下側の第 2 層と第 3 層へ信号線路を設ける。第 4 層は、スルーホールのもう片側の穴を設ける為の専用層である。この設計により、線の幅よりも径が大きいスルーホールを信号層から排除できるので、高密度バスを製造できる。一方で、多層化されるので、各層間の貼り合わせ精度が高くなければならない。それに対して 3 cm バスは、スルーホールと信号線が第 1 層と第 3 層に設けられる為に多層化はされないが、線路の幅を細く出来ない。3 cm バスは、全ての層において銅で作成されるが、1.5 cm バスは GND 層と VDD 層にアルミニウムを採用し、バスの放射長の低減を図っている。しかし、ワイヤボンディングを施す箇所へ金メッキを施すが、一般的にアルミニウムへのメッキは、部材に含有する不純物とその純度等の関係が有るので、材料を選定し、その都度メッキの試験を行なう必要が有る。

### 3.2.1 3 cm バスの構造

3 cm バスの断面の概念図を図 3.4A へ、各層の構成の概念図を図 3.4B へ示す。第 1 層へは、信号線の他にバイパスコンデンサ等の表面実装部品のハンダ付け用パッドとスルーホールが設けられる。このスルーホールは、第 1 層におけるボンディングパッドからの信号線を第 2 層の信号線を介し、エクステンダ側のパッドと接続する為の物である。このスルーホールは、第 3 層へも設けられる。第 2 層へは、信号線のみが配置され、第 3 層へは、信号線とスルーホールが設けられ、第 1 層の信号線と接続を行なう。第 1 層から第 3 層から成る信号層の下側へは、VDD 層と GND 層が貼り合わされる。VDD 層と GND 層のワイヤボンディングがされる箇所へは、図 3.4B の様に金メッキを施す。表 3.1 へ 3 cm バスの諸元を、図 3.5 へ 3 cm バスの写真を載せる。

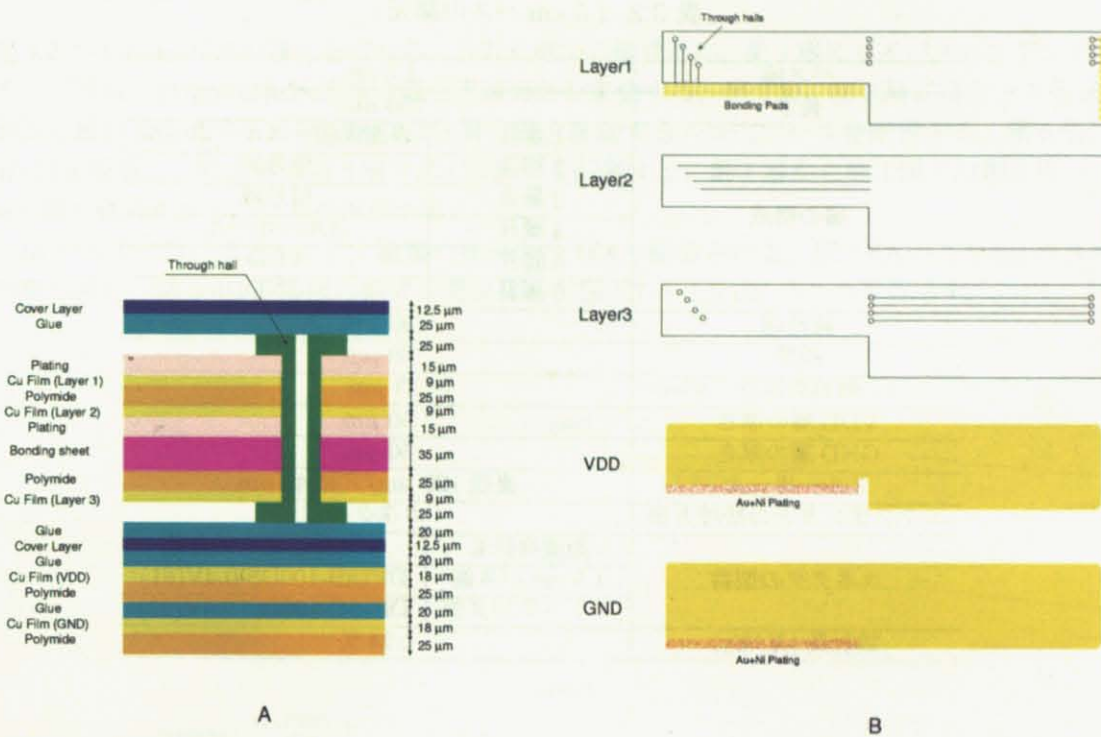


図 3.4: A は 3 cm バスの各層の構成の概念図、B は 3 cm バスの各層とスルーホール及びボンディングパッドの関係の概念図。

表 3.1: 3 cm バスの諸元

バス幅	3.0 cm	
長さ	250 mm	
層の構成	1 層目	信号層、スルーホール
	2 層目	信号層
	3 層目	信号層、スルーホール
	4 層目	VDD
	5 層目	GND
線路幅	80 $\mu\text{m}$	
線間	60 $\mu\text{m}$	
線路の厚さ	1 層目	9 $\mu\text{m}$
	2 層目	9 $\mu\text{m}$
	3 層目	9 $\mu\text{m}$
VDD 層の厚さ	18 $\mu\text{m}$	
GND 層の厚さ	18 $\mu\text{m}$	
スルーホール	直径 600 $\mu\text{m}$ /穴径 300 $\mu\text{m}$	
エクステンダとの接続方法	ワイヤボンディング	
放射長 ( $X/X_0$ )	0.72 %	



表 3.2: 1.5 cm バスの諸元

バス幅	1.5 cm	
長さ	250 mm	
層の構成	1 層目	表面実装、スルーホール
	2 層目	信号線
	3 層目	信号線
	4 層目	スルーホール
	5 層目	VDD
	6 層目	GND
線路幅	30 $\mu\text{m}$	
線間	30 $\mu\text{m}$	
線路の厚さ	3 $\mu\text{m}$	
VDD 層の厚さ	50 $\mu\text{m}$	
GND 層の厚さ	50 $\mu\text{m}$	
スルーホール	直径 120 $\mu\text{m}$ /穴径 40 $\mu\text{m}$	
エクステンダとの接続方法	コネクタ	
コネクタの型番	製造会社名	ヒロセ電機株式会社
	1.5 cm バス側	DF18B-100DS-0.4V(81)
	エクステンダ側	DF18C-100DP-0.4V(51)
放射長 ( $X/X_0$ )	0.24 %	

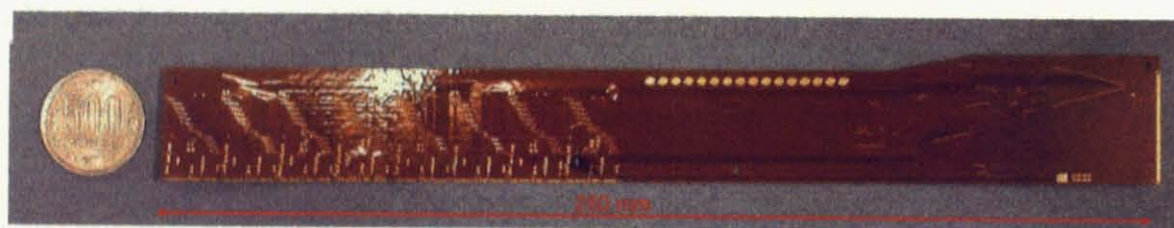


図 3.5: 3 cm バスの写真

### 3.2.2 1.5 cm バスの構造

表 3.2 へ 1.5 cm バスの諸元を載せる。合計 6 層から構成され、第 1 層にバイパスコンデンサ、ブルアップ抵抗、白金測温抵抗体等の表面実装部品を実装する。第 2 層、第 3 層にはデータ伝送線、制御信号線等を配置する。第 4 層には各層の線を接続するスルーホールを配置する。第 5 層には VDD 層を配置し、その下の第 6 層には GND 層を配置する。第 1 層から第 4 層では銅を用い、第 5 層と第 6 層はアルミニウムを使用する。

1.5 cm バス上には、表 3.3 に示す種類の線が合計 188 本配置される。図 3.6A へ 1.5 cm バスの断面の概念図を、図 3.6B へ各層の構成の概念図を、図 3.7 へ 1.5 cm バスの写真示す。

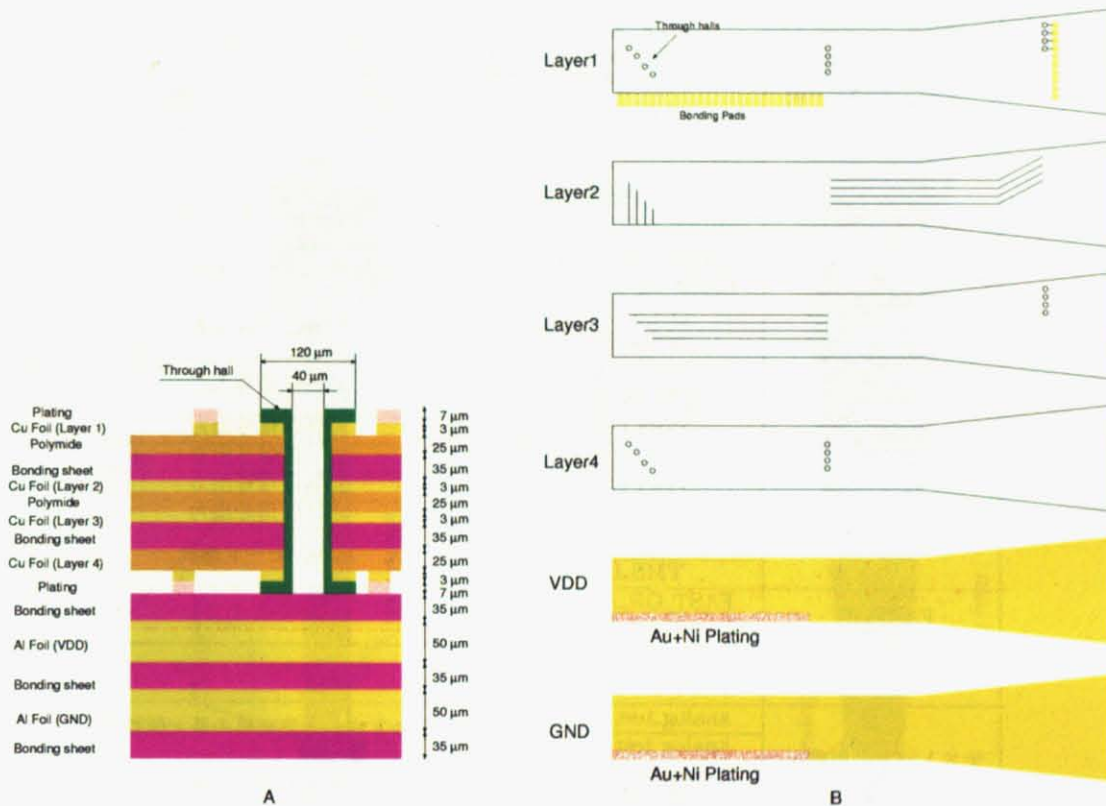


図 3.6: A は 1.5 cm バスの各層の構成の構成図、B は 1.5 cm バスの各層とスルーホール及びボンディングパッドの関係の概念図

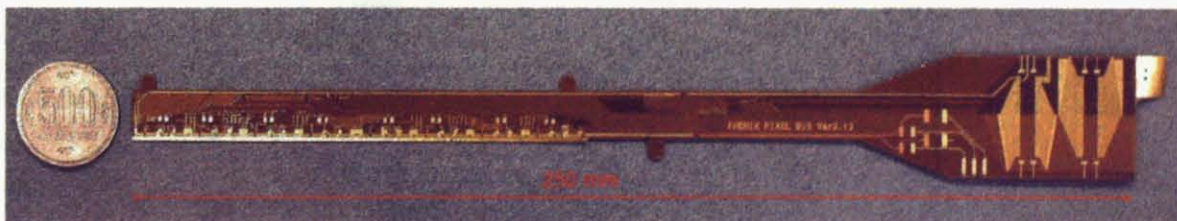


図 3.7: 1.5 cm バスの写真

表 3.3: 1.5 cm バスにある線の種類

用途	線の名称	本数	機能
データ線	DataA	32	チップ 1、チップ 2
	DataB	32	チップ 3、チップ 4
	DataC	32	チップ 5、チップ 6
	DataD	32	チップ 7、チップ 8
DAC 用基準電圧	DAC_REF_VDD_A	1	DAC 用基準電圧 (1.8V)
	DAC_REF_MID_A	1	
	DAC_REF_VDD_B	1	DAC 用基準電圧 (0.995V)
	DAC_REF_MID_B	1	
GTL 信号用基準電圧	GTL_REF_A	1	GTL 信号用基準電圧
	GTL_REF_B	1	
クロック	CLK_A	1	システムクロック
	CLK_B	1	
	CLK_A*	1	システムクロック (逆相)
	CLK_B*	1	
リセット信号	TRESET_A	1	JTAG リセット
	TRESET_B	1	
	SHIF_RESET_A	1	シフトレジスタリセット
	SHIF_RESET_B	1	
	DATA_RESET_A	1	読み出しチップリセット
	DATA_RESET_B	1	
JTAG	TCLK_A	1	JTAG クロック
	TCLK_B	1	
	TDLIN_A	1	JTAG 信号入力
	TDLIN_B	1	
	TDO_U8	1	JTAG 信号出力
	TDO_U7	1	JTAG 信号出力
	TDO_U4	1	JTAG 信号出力
	TDO_U3	1	JTAG 信号出力
	TMS_A	1	JTAG モード選択
	TMS_B	1	
FASTOR	FAST_OR_A[3:0]	4	FastOR 出力
	FAST_OR_B[3:0]	4	
テストパルス	TEST_PULSE_A	1	テストパルストリガ
	TEST_PULSE_B	1	
テストパルス用電圧	analog_test_hi_A	1	テストパルス波高値の最大値設定
	analog_test_hi_B	1	
	analog_test_lo_A	1	テストパルス波高値の最小値設定
	analog_test_lo_B	1	
トリガ	NEVR_A	1	FIFO 読み出し信号
	NEVR_B	1	
	STROBE_A	1	FIFO への書き込み
	STROBE_B	1	
	ABORT_A	1	FIFO 中の読み出し中止
	ABORT_B	1	
チップイネーブル	CE_A	2	チップイネーブル
	CE_B	2	
温度測定	Ladder_Temp1	1	白金測温抵抗体の抵抗値測定
	Ladder_Temp2	1	
	Ladder_Temp_Mid1	1	白金測温抵抗体用の接地
	Ladder_Temp_Mid2	1	
定電圧制御	VDD_SENCE	1	Sence 端子 VDD 側
	GND_SENCE	1	Sence 端子 GND 側
DAC 電圧モニタ	DAC_sence_V_A	1	DAC 出力電圧の測定
	DAC_sence_V_B	1	
	DAC_sence_I_A	1	DAC 出力流れの測定
	DAC_sence_I_B	1	
合計	188 本		



## 1.5 cm ハーフラダーと 3 cm ハーフラダーの図面

図 3.8 は、1.5 cm バスとセンサーハイブリッドで作られるハーフラダーの図面であり、図 3.9 は、3 cm バスで作られるハーフラダーの図面である。それぞれは、同一の縮尺ではない。1.5 cm バスには、組み立ての際に使用するアライメント用の穴が 3 箇所開けられ、エクステンダとの接続は 2 つの 100 ピンのコネクタで行なわれる。また、センサーのバイアス及び、電源とグランドもエクステンダからケーブルを用いて 1.5 cm バス上のコネクタへ接続される。3 cm バスで作られるハーフラダーは、エクステンダとハーフラダーがワイヤボンディングで接続される。

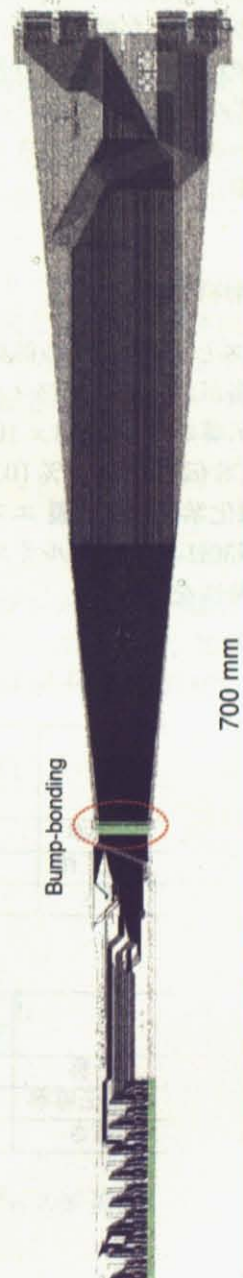
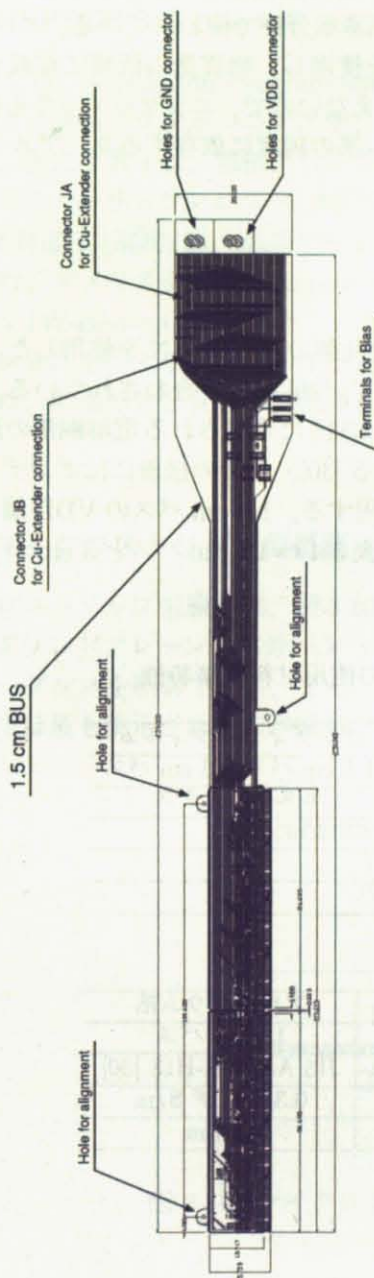


図 3.8: 1.5 cm バスとセンサーハイブリッドで構成されるハーフラダーの図面

図 3.9: 3 cm バスとセンサーハイブリッドで構成されるハーフラダーの図面



### 3.2.3 バスの材質

誘電体及び絶縁層にはポリイミド系フィルムを用い、信号線には電解銅箔を使用する。ポリイミドフィルムは、 $-269^{\circ}\text{C}$ の極低温から $+400^{\circ}\text{C}$ の高温領域まで広い温度範囲にわたり優れた機械的、電氣的、化学的特性を発揮し、耐化学薬品性、耐放射線性に対しても優れた特性を有す。その特性故に、ドリルやレーザーで穴開けした際のキリコ(スミア)が発生しにくい。また、誘電正接( $\tan\delta$ )も小さい。誘電正接が小さな材質は、高周波信号を伝送した際の損失が小さい。一般的にポリイミド系フィルムの誘電正接は、 $0.002 \sim 0.02$ の範囲である。

ポリイミドは、1960年代前半にアメリカ合衆国デュポン社で開発されて以来、宇宙、航空、原子力はもとより、身近な電子機器に至るまで、幅広い先端産業分野で使われている。

1.5 cm バスの VDD 層と GND 層にはアルミニウム箔を使用し、物質量の低減に貢献する。しかし、無垢のアルミニウムへはワイヤボンディングを行なえないので、ニッケルメッキを行ない、その上へ金メッキを施す。メッキの条件は、アルミニウム箔の純度に依存する為、アルミニウム箔の選定が必要になる。

### 3.2.4 使用材料の諸特性

1.5 cm バスと 3 cm バスの部材には、宇部興産株式会社製のユピセル N を使用した。この部材は、電解銅箔がポリイミドフィルム(ユーピレックス VT) [29] へ貼り合わされている。この電解銅箔の電気伝導率は、 $0.643 \times 10^8 \text{ S/m}$  である<sup>1</sup>。JIS C 6515 で規定される電解銅箔の最小電気伝導率は、IACS 伝導率 90.5 % ( $0.525 \times 10^8 \text{ S/m}$ ) とされる [30]。各層の接着にはボンディングフィルム(新日鐵化学株式会社製 エスパネックス) [31] を使用する。1.5 cm バスの VDD 層と GND 層は、JIS AIN30H-H18 のアルミニウム箔を用いる [30]。表 3.4 へ 1.5 cm バスと 3 cm バスで使用する材料の諸特性を載せる。

表 3.4: 1.5 cm バスと 3 cm バスの使用材料の諸特性

	ポリイミドフィルム		ボンディングフィルム	
	1.5 cm バス	3 cm バス	1.5 cm バス	3 cm バス
	ユーピレックス VT		エスパネックス	
誘電率	3.3 (@1MHz)		3.3	
誘電正接	0.002		0.01	
厚さ	35 $\mu\text{m}$		25 $\mu\text{m}$	

	電解銅箔		アルミニウム箔
	1.5 cm バス	3 cm バス	1.5 cm バス
名称	YSNAP-3	USLPR2-9	JIS AIN30H-H18 [30]
電気伝導率	$0.643 \times 10^8 \text{ S/m}$		$0.349 \times 10^8 \text{ S/m}$
厚さ	3 $\mu\text{m}$	9 $\mu\text{m}$	50 $\mu\text{m}$

<sup>1</sup> ジーメンズ、 $\text{S}=\Omega^{-1}$

### 3.3 伝送特性シミュレーション

設計したバスの伝送特性をシミュレーションにより予測する。また、伝送特性の向上の為に、シミュレーションの結果からプルアップ抵抗等の値の選定等も行なう。バスのシミュレーションモデルを、図 3.10 に示すマイクロストリップ線路から作り、信号をバスへ与えバス末端での信号の振る舞いを計算する。シミュレータは、米国 Synopsys 社の HSPICE<sup>©</sup> Y-2006.03 [32] を用いる<sup>2</sup>。バスを有損失線路としてモデルを作り、シミュレーションを行った。

#### 3.3.1 HSPICE シミュレータ

SPICE とは、Simulation Program with Integrated Circuit Emphasis の略称であり、1970 年代にアメリカ合衆国カリフォルニア大学バークレー校で開発されたアナログ系電子回路シミュレータである。扱える素子は、抵抗、コンデンサ、インダクタンス、伝送線路等の受動素子や、ダイオード、バイポーラトランジスタ、MOS トランジスタ等の能動素子である。また、独立電圧 (電流) 源、制御電圧 (電流) 源、制御スイッチ等も用意されている。

HSPICE は、アメリカ合衆国 Synopsys 社の商用 SPICE シミュレータである。周波数依存の伝送線路モデル (W-element) をサポートしており、導体での抵抗損失と基板の誘電体損失を含んだシミュレーションを行える。また、HSPICE は 2 次元フィールド・ソルバを内蔵しており、図 3.10 に示す様に、断面形状と長さ、誘電体と線路の特性を指定すれば各線路パラメータを算出できる [32]。

#### 3.3.2 マイクロストリップ型線路

マイクロストリップ型線路は、図 3.10 に示す様に、グランドプレーン上部へ信号パターンを配置する。グランドプレーンと信号パターンの間隔  $h$ 、及び信号パターンの幅  $w$ 、線路の厚さ  $t$  で特性インピーダンスを制御できる。また、比較的製造がし易く、放射ノイズも軽減できる為にプリント基板では最も使用される伝送線路である [33]。

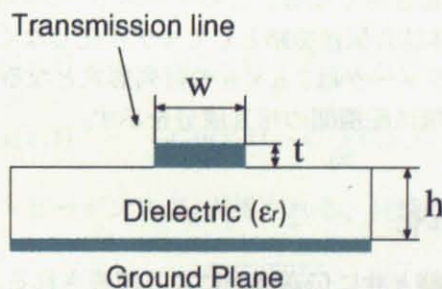


図 3.10: マイクロストリップ型線路のモデルの断面図

マイクロストリップ線路における電磁エネルギーは、その一部がマイクロストリップ線路の誘電体内部を通過し、残りは空間を通る。それ故に、伝送線路の特性インピーダンスを表す式は、非

<sup>2</sup>HSPICE シミュレーションは、東京大学大規模集積システム設計教育研究センターを通じ、シノプシス株式会社の協力で行なわれた。

常に複雑である。マイクロストリップ線路の特性インピーダンス  $Z_0$  は、グランドプレーンから線路までの誘電体の厚さ  $h$  に比例する。また、線路の幅  $w$  に反比例し、比誘電率の平方根に反比例する。これらの振る舞いは、まとめると次の様になる。

$$Z_0 \propto \frac{h}{w\sqrt{\epsilon_r}} \quad (3.1)$$

特性インピーダンスの一般式を以下へ示す。

$$Z_0 = \sqrt{\frac{L}{C}} \quad (3.2)$$

線路を幅広く作ると線路の直流抵抗が減少し、インダクタンスも減少する。線路とグランドプレーンは、実質的に平行平板コンデンサを形成するので線幅を広げると容量が増す。つまり、どちらの効果もインピーダンスを減少させる方向へ作用する。対して、線路とグランドプレーン間の距離を離すことは、容量を減少させインダクタンスを増加させるのでインピーダンスは増加する。マイクロストリップ型線路の重要な性質は、各寸法によりインピーダンスを制御できる点に有る。

### 3.3.3 シミュレーションに必要なパラメータ

バスの配線を伝送線路としてモデル化するには、 $R$ 、 $L$ 、 $G$ 、 $C$  の各線路パラメータを用いる。伝送線路解析では、基板の2次元的な断面形状と使用材料の物性値から配線をモデル化する。無損失の線路としてシミュレーションする場合には、配線とグランド間の単位長さ当たりの接地容量を  $C$  (F/m)、配線の単位長さ当たりの自己誘導成分を  $L$  (H/m) とする線路パラメータを算出しで行なう。しかし、実際には基板上の配線は低周波領域では低損失であるが、導体の表皮効果により高周波信号に対し導体損失を持つ。また、誘電損失は周波数に比例して増加し、物質の誘電率は周波数に依存する。その為、高周波信号を扱うバスでは、周波数依存の伝送経路としてシミュレーションを行う。そこで用いられる線路パラメータは、配線の導体損失を  $R$  ( $\Omega$ /m)、基板材質による誘電損失(漏れコンダクタンス)を  $G$  (S/m) として用いる。

高密度のバスでは、線路間の距離が非常に近接する。その場合、相互配線間に容量性や誘導性の干渉であるクロストークが起き易くなる。このクロストークの影響をシミュレーションするには、複数の配線を1組の多導体結合伝送線路としてモデル化しなくてはならない。 $n$  本の配線からなる多導体結合線路の線路パラメータは、 $n \times n$  の行列形式となる。この行列では、対角成分は配線の自己成分を示し、非対角項は配線間の相互成分を示す。

### 3.3.4 有損失線路のモデル化

バスを通過する信号は、距離と共に伝送損失により減衰される。具体的な減衰の要因には、導体における抵抗損失(抵抗成分)、基板における誘電体損失(コンダクタンス成分)と配線の不連続部における放射損失が挙げられる。この中で、配線モデルの損失に関するパラメータには、抵抗成分  $R$  ( $\Omega$ /m) とコンダクタンス成分  $G$  (S/m) がある。扱う周波数が低周波領域で有る場合や、配線長が短い場合は  $R = 0$ 、 $G = 0$  の無損失線路として配線をモデル化できる。しかし、今回開発する 1.5 cm バスは全長が 250 mm 有る事と、10 MHz のクロックで読み出しチップが駆動されるので伝送損失を考慮した有損失線路としてバスをモデル化し、表皮効果と誘電損失を考慮したシミュレーションを行う。

表皮効果は、線路へ高周波電流が流れる時に電流密度が導体の表面で高く、導体内部程低くなる

現象である。電流密度の振幅が  $e^{-1}$  となる距離を表皮深さ  $\delta$  と呼び、 $\sigma$  を導体の伝導率 (S/m)、 $f$  を周波数 (Hz)、 $\mu$  を導体の透磁率 (H/m) とすると以下の式で表される [34]。

$$\delta = \sqrt{\frac{1}{\pi f \mu \sigma}} \quad (\text{m}) \quad (3.3)$$

この式から周波数が高くなる程、表皮深さ  $\delta$  は小さくなる。また、単位面積当たりの表面抵抗  $R_s$  は、次の様に表される。(付録 C を参照)

$$R_s = \frac{1}{\sigma \delta} = \sqrt{\frac{\pi f \mu}{\sigma}} \quad (\Omega/\text{m}^2) \quad (3.4)$$

この式から、表面抵抗  $R_s$  は周波数  $f$  の平方根に比例する。

誘電損失とは、あるコンデンサへ交流電流を流すと電気エネルギーの一部がジュール熱となり失われる現象を言う。分極  $\mathbf{P}$  が、電場の変化に追従できずに電束密度  $\mathbf{D} = \epsilon_0 \mathbf{E} + \mathbf{P}$  が、電場  $\mathbf{E}$  に対して位相の遅れを生じることで起きる。この損失角を  $\delta$  とすると、 $\tan \delta$  を誘電正接と言い、材料の誘電損失特性を表す。伝送線路における誘電損失による漏れコンダクタンス  $G$  は次式で表される。(付録 C を参照)

$$G = \omega \epsilon_r'(\omega) C_0 \tan \delta \quad (\text{S/m}) \quad (3.5)$$

$\omega$  は角周波数、 $\epsilon_r'(\omega)$  は誘電率、 $C_0$  は誘電体を挿入しない時のコンデンサの容量である。この式より、漏れコンダクタンス  $G$  は、周波数に比例して大きくなる。このことから、誘電正接の小さな材料を 1.5 cm バスのフィルムへ使用する必要が有る。特に、高周波回路に用いられるコンデンサーの誘電正接が大きいと、共振回路の  $Q$  値が低下してしまう現象は良く知られている。

### 3.3.5 線路の特性インピーダンス

伝送線路は一般的に分布定数回路から、式 D.1 の電信方程式 (The telegrapher's equation) で記述できる。

$$\left. \begin{aligned} \frac{\partial}{\partial x} v(x, t) &= -Ri(x, t) - L \frac{\partial}{\partial t} i(x, t) \\ \frac{\partial}{\partial x} i(x, t) &= -Gv(x, t) - C \frac{\partial}{\partial t} v(x, t) \end{aligned} \right\} \quad (3.6)$$

これらを解くと、次の特性インピーダンス  $Z_0$  が導かれる。(付録 D を参照)

$$Z_0 = \lim_{\omega \rightarrow \infty} \sqrt{\frac{R + j\omega L}{G + j\omega C}} = \sqrt{\frac{L}{C}} \quad (3.7)$$

$Z_0$  は時間や線路の長さに関係なく、一次定数のみから決定される線路固有のインピーダンスであるので、特性インピーダンスと呼ぶ。特性インピーダンスは、数値計算システムの scilab<sup>3</sup> を使い、HSPICE のフィールド・ソルバが出力した  $L$ 、 $C$  行列から求める。また、配線長を  $l$  とすると、端子間の信号遅延時間  $t_d$  は以下になる。

$$t_d = l\sqrt{LC} \quad (3.8)$$

<sup>3</sup><http://www.scilab.org/>



### 3.4 3 cm バスのシミュレーション

#### 3.4.1 シミュレーションモデル

線路パラメータである  $R$ 、 $L$ 、 $G$ 、 $C$  を HSPICE の 2 次元フィールド・ソルバで算出する。図 3.11 に示す様なバスの信号線を各層へ 3 本ずつ配置するモデルを定義する。各線路の断面形状と長さ、GND 層から各部材までの距離と線路と誘電体の諸特性をフィールド・ソルバへ与える。また、線路はスルーホールを用いて各層間との接続が行なわれるが、スルーホールの直径は  $600\ \mu\text{m}$  であり、10 MHz のクロック周波数の波長 30 m と比較して十分に小さいのでシミュレーションモデルには加えない。

次に、ALICE1LHCb 読み出しチップ内の Gunning Transister Logic (GTL) [26] ドライバとデジタルパイロット ASIC 内の GTL レシーバを、3 cm バスのモデルへ接続し、図 3.12 に示すモデルを作る。GTL は低い電圧で動作する高速 I/O の一つで、Gunning とは、これを考案した Xerox 社の Bill Gunning の名に由来する。従来の TTL は、3 V や 5 V 等の高い電圧で論理を伝えるが、使用電圧が高く変動の幅も大きいので、クロック速度が上がると立上りと立ち下がりに時間が掛かり信号特性が大幅に劣化する。応答性を上げ、高いクロック周波数でも使用する為、GTL では 800 mV の基準電圧に対して 0.4 V から 1.2 V の信号の振幅変化で信号を伝送する。つまり、例えばアクティブローであるなら、0.4 V の時に真理値 0、1.2 V の時に真理値 1 と判断する。

シミュレーションモデルは、読み出しチップの GTL ドライバから出力した GTL 信号を 3 cm バスで伝送し、デジタルパイロット ASIC 内の GTL レシーバで受信するモデルを用意した。100  $\Omega$  のプルアップ抵抗を GTL レシーバの入力側へ接続し、2.5 V でプルアップする。線路 A へ 100 ns 幅のパルスを入力し、伝送された波形と近接する線路終端でのクロストークをシミュレーションする。

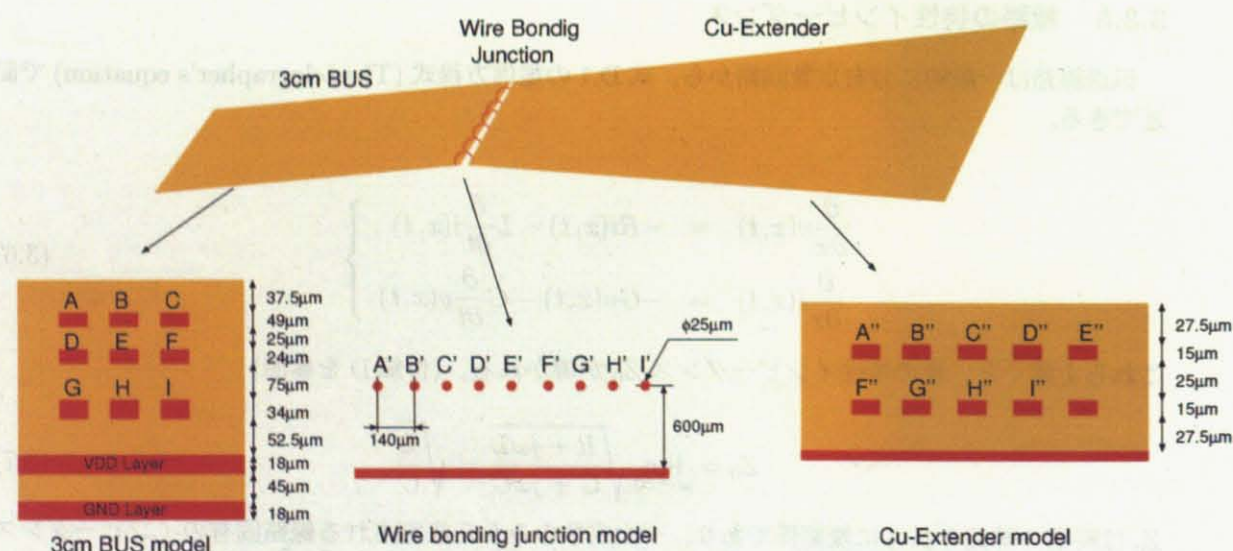


図 3.11: 3 cm バス評価用の電場計算用の幾何学的モデル

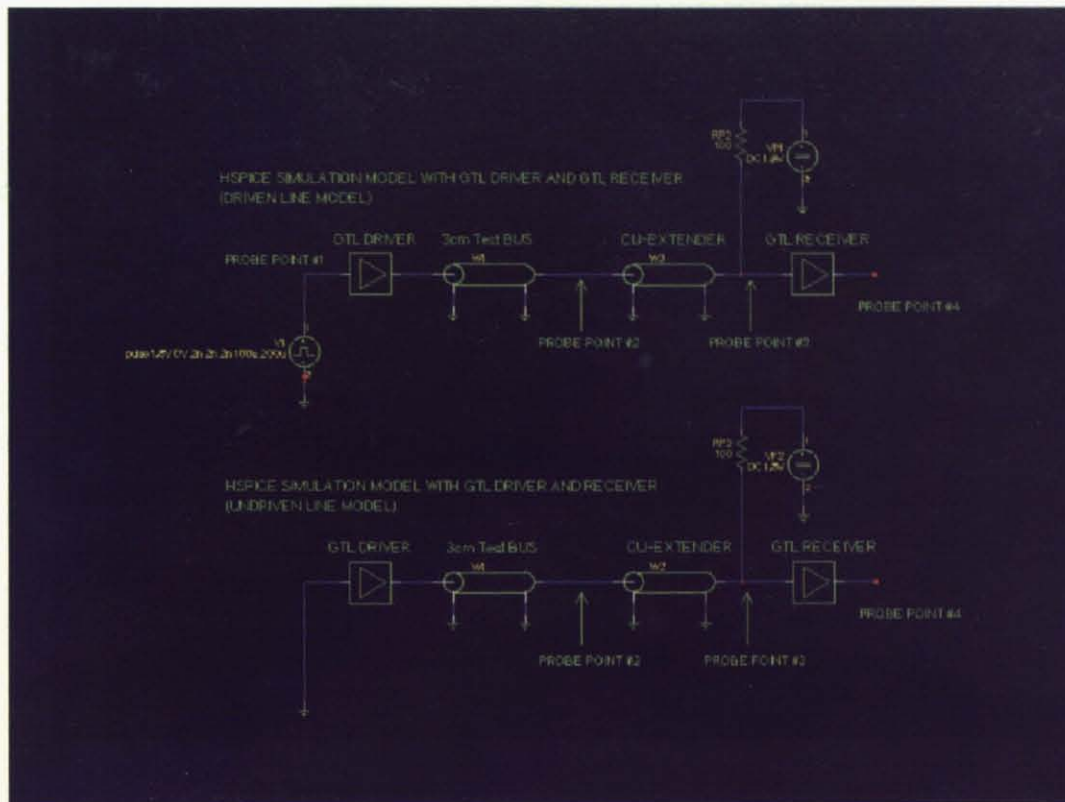


図 3.12: 3 cm バス評価用の HSPICE モデル。上図はパルスを送信し、出力波形とデジタルパイロット ASIC 内部で認識される論理を確認するモデル。下図は上図でパルスを送信した際に誘起されるクロストークを計算するモデル。Probe Point#1 は、GTL ドライバへ入力されるパルスの観測点。Probe Point#2 は、3 cm バスとエクステンダとの節点における観測点。Probe Point#3 は、エクステンダ出口での観測点。Probe Point#4 は、デジタルパイロット ASIC 内の GTL レシーバ出力における観測点。

### 3.4.2 シミュレーションの結果

図 3.11 で示したバスの幾何学的情報と図 3.12 のモデルで HSPICE シミュレーションを行なった結果を図 3.13 に示す。Probe Point#1 の信号波形は、GTL ドライバへ入力するパルスを示す。Probe Point#2 の信号波形は、3 cm バスから出力される信号であり、Probe Point#3 の信号波形は、エクステンダから出力された信号である。Probe Point#3 の信号の振幅は  $\sim 0.2$  V から  $\sim 2.5$  V の間で変化する。それぞれの立ち上がり時間は、 $\sim 30$  ns、立ち下がり時間は  $\sim 15$  ns である。Probe Point#4 の波形は、デジタルパイロット ASIC における論理レベルである。Probe Point#3' は、図 3.11 の線路 A でパルスを送信した際に誘起される B' でのクロストークである。クロストークのレベルは、 $\sim 0.6$  V<sub>pp</sub> である。

GTL 信号の規格と比較すると、0.4 V から 1.2 V の変化幅に対して 0.2 V から 2.5 V の間で振幅が変化している。デジタルパイロット ASIC 内部では、Probe Point#3 の信号が 0.8 V 以下である時に真理値 1 を、0.8 V 以上である時に真理値 0 を正しく認識している。また、クロストークのレベルは  $\sim 0.6$  V<sub>pp</sub> であり、GTL 信号の遷移に影響しない程小さい。



## Crosstalk Simulation (3cm test bus)

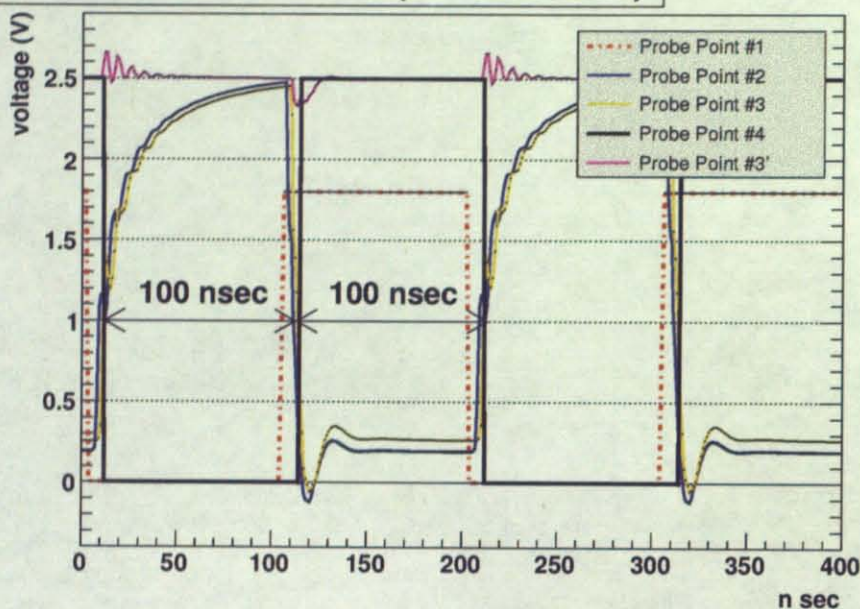


図 3.13: 3 cm パスのシミュレーション結果

3 cm パスの特性インピーダンス  $Z_0$  は、第1層において  $145 \sim 151 \Omega$ 、第2層において  $139 \sim 145 \Omega$ 、第3層において  $104 \sim 108 \Omega$  となった。ワイヤボンディングの特性インピーダンスは、 $169 \sim 173 \Omega$ 、エクステンダの特性インピーダンスは、第1層において  $31 \Omega$ 、第2層において  $39 \sim 41 \Omega$  となった。3 cm パス、エクステンダ共に各層でインピーダンスが異なるのは、各層からグランドプレーンからの距離が異なる為、式3.1で示される様に、層が積層される程インピーダンスが増加するからである。特に、第2層と第3層でインピーダンスの差が大きいのは、図3.11に示す様に、第1層と第2層間の距離よりも第2層と第3層の距離が大きい事が理由である。また、特性インピーダンスがそれぞれ3 cm パスとワイヤボンディング部、エクステンダとで異なる為に、図3.13に示す様に信号の反射によりアンダーシュートが表れる。デジタルパイロットASICは、GTL信号の閾値である0.8 Vを越えた時間により真理値を判断する。今回のシミュレーション結果では、デジタルパイロットASIC内部で真理値が正しく判断されているので、各部材での特性インピーダンスの不揃いによる影響は確認されないと考えられる。

3 cm パスの信号遅延時間  $t_d$  は2.6 n秒 $\sim$ 2.7 n秒、ワイヤボンディング部では3.4 p秒、エクステンダでは2.6 n秒 $\sim$ 2.7 n秒となった。よって、3 cm ハーフラダーでの信号遅延時間は、およそ5 n秒となる。3 cm パスの各層の電気抵抗は、 $5.4 \Omega$  となった。ワイヤボンディング部は、ボンディングワイヤが3 mmと短いので  $0.14 \Omega$  となった。エクステンダの電気抵抗は各線路で  $2.76 \Omega$  となった。また、表皮効果に関し、10 MHzの信号に対する3 cm パスの線路の表皮厚さは、 $\delta \sim 21 \mu\text{m}$  であり、それに対して3 cm パスの線路の断面積は、 $24 \mu\text{m} \times 80 \mu\text{m}$  であるので表面抵抗  $R_s$  は影響にならない程小さい。表3.5に3 cm パスの各層における電気的特性を示す。



表 3.5: 3 cm バスの各層における電気的特性

	特性インピーダンス	自己インダクタンス	自己キャパシタンス	電気抵抗	信号遅延時間
第1層	145 ~ 151 $\Omega$	$1.4 \times 10^{-7}$ H	$3.5 \times 11^{-10}$ F	5.4 $\Omega$	2.6 n 秒
第2層	139 ~ 145 $\Omega$	$1.3 \times 10^{-7}$ H	$4.3 \times 11^{-10}$ F	5.4 $\Omega$	2.7 n 秒
第3層	104 ~ 108 $\Omega$	$1.1 \times 10^{-7}$ H	$3.0 \times 11^{-10}$ F	5.4 $\Omega$	2.7 n 秒

### 3.4.3 伝送波形の観測

実際に製作した 3 cm バスの伝送波形をオシロスコープで観測し、シミュレーションの結果と比較する。図 3.14 に 3 cm バスが伝送したデータ信号を観測するセットアップ図を示す。

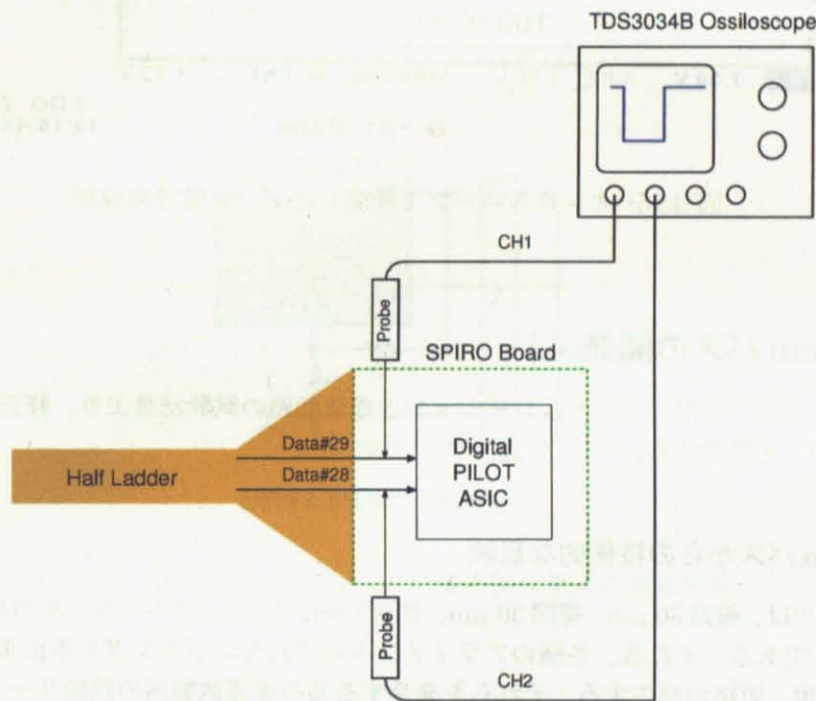


図 3.14: オシロスコープで 3 cm バスが伝送したデータ信号を観測するセットアップ図

テクトロニクス社製 TDS3034B 型デジタルオシロスコープと P6139A 型プローブを使用した。オシロスコープの帯域幅は 300 MHz、サンプル速度は 2.5 G サンプル/秒である。プローブは受動型プローブであり、帯域幅 500 MHz、入力インピーダンス 10 M $\Omega$ 、入力容量は 8 pF である。

SPIRO ボード上のデジタルパイロット ASIC のピンで ALICE1LHCb 読み出しチップから送られて来る 100 n 秒幅のデータ信号を観測した。data#29 はデータ信号であり、data#28 は隣接した信号線のクロストークである。データ信号の立ち上がり時間は  $\sim 30$  n 秒、立ち下がり時間は、 $\sim 15$  n 秒であり、振幅は、2.5 V である。観測されたクロストークのレベルは、0.8 V<sub>pp</sub> 以下である。HSPICE シミュレーションの結果と同等の観測結果が得られた。



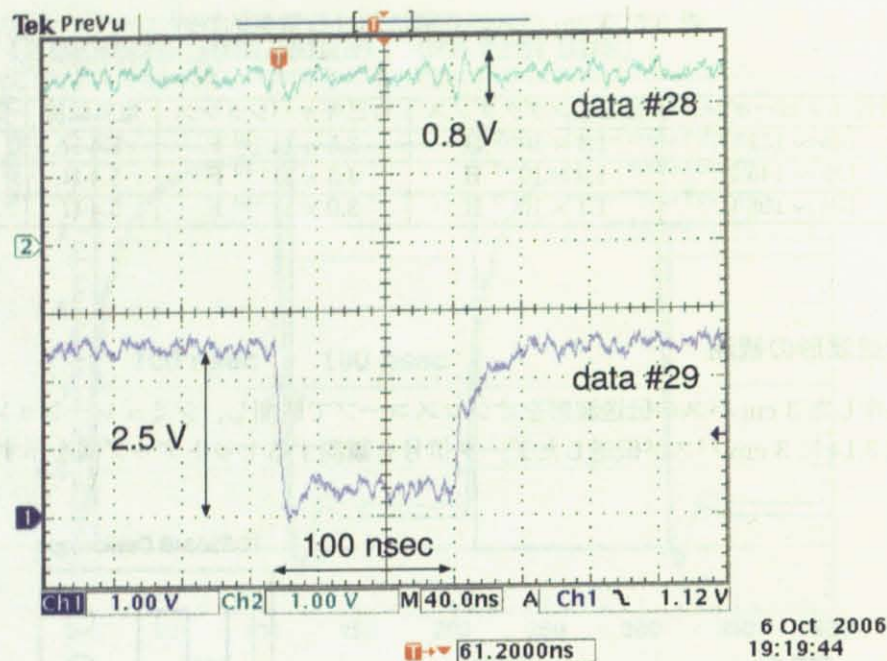


図 3.15: オシロスコープで観測したデータ信号の波形

### 3.5 1.5 cm バスの開発

3 cm バスを用いて行なったシミュレーションと電気回路の試験結果より、修正と改良点を踏まえて 1.5 cm バスを開発する。

#### 3.5.1 3 cm バスからの技術的な反映

1.5 cm バスでは、線路 30  $\mu\text{m}$ 、線間 30  $\mu\text{m}$ 、厚さ 3  $\mu\text{m}$  であり、スルーホールの外径は、120  $\mu\text{m}$ 、内径は 40  $\mu\text{m}$  である。それ故、各層のアライメントのずれやエッチングの不出来などにより、容易に線路の欠損、短絡が発生する。それらを見出す為の導通試験用の試験リード線を用意した。このリード線は、合格品と判断された場合には次の工程の為に切断される。

バスとエクステンダの接続は、ハーフステイプの組み立てと輸送の行ない易さを考慮し、ヒロセ電機製の DF-18 シリーズの 100 ピンコネクタで行なう。また、3 cm バスのシミュレーションの結果から、ワイヤボンディングの電気抵抗が 0.14  $\Omega$  有るのに対し、コネクタの接触抵抗は 60 m $\Omega$  以下である [36]。この事から、コネクタで 1.5 cm バスとエクステンダを接続する方法は、機械的な取り扱い易さと電気抵抗の低減の両方に対して貢献する。

バスの放射長を小さくする為に、1.5 cm バスでは VDD 層と GND 層へアルミニウムを用いる。1.5 cm バスの放射長は、3 cm バスの放射長のおよそ 43 % である。表 3.6 へ、1.5 cm バスと 3 cm バスの VDD 層及び GND 層の特性の比較を載せる。この事から、アルミニウムを 1.5 cm バスに採用する事は、低電気抵抗と低物質量を両立できる。1.5 cm バスの VDD 層と GND 層の電気抵抗は、3 cm バスよりも 1.3 倍大きいのが、コネクタ部の電気抵抗がワイヤボンディングよりも小さいので問題は無い。

表 3.6: 1.5 cm バスと 3 cm バスの VDD 層及び GND 層の特性比較

	1.5 cm バス	3 cm バス
使用材料	アルミニウム箔 (50 $\mu\text{m}$ )	銅箔 (18 $\mu\text{m}$ )
層の電気抵抗	$9.55 \times 10^{-3} \Omega$	$7.2 \times 10^{-3} \Omega$
放射長	0.056 %	0.13 %

また、読み出しチップへ供給する VDD 電圧を SPIRO ボードの電圧レギュレータにより、自動的に補正する為のリモートセンス端子を設ける [37]。これは、図 3.16 に示す様に、負荷とレギュレータの間の電気抵抗  $R_p$  により、電圧降下が生じる。これをレギュレータ内部で補正する為に、図 3.16 に示す SENSE と +Vout 間に相当する線を VDD 電圧用に、ADJ と -Vout 間に相当する線をグランド用に 1.5 cm バスの最遠端へ設けた。

読み出しチップ用のバイパスコンデンサ、プルアップ抵抗等のチップ部品を、1.5 cm 幅に部品が収まる様に 0603 サイズ (0.6 mm×0.3 mm) を選択した。

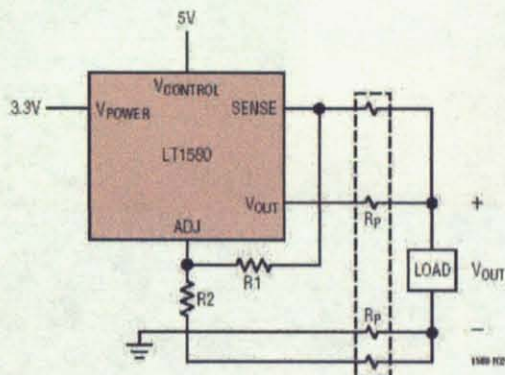


Figure 2. Remote Load Sensing

図 3.16: 電圧レギュレータによる供給電圧の補正機能

### 3.5.2 1.5 cm バスの製造工程

多層のプリント基板の製造は、主に 3 つの技術から成り立つ。ポリイミド系部材の上に銅箔のパターンを形成するエッチング技術、各層のパターンを電氣的に接続するスルーホール技術、層を重ねる多層化技術である。それぞれの製造工程では、変形、露光精度、各層の重ね合わせ精度が重要になる。1.5 cm バスの製造においては、これらの製造過程を詳細に見直し、品質の高いバスの開発に成功した。その為、この章では設計工程、前工程、中間工程、後工程の順で 1.5 cm バスの製造過程を詳細に説明する。

#### 設計とマスクフィルムの製作

1.5 cm バスの仕様を決定し、製図を行ないパターンを作る。  
バスの線路パターンをエッチングで形成する際に、残すべきパターンを保護するレジストをフォ



トレジスト法で作る。銅箔上の感光レジストへ、パターンを焼き付ける為のフォトマスクフィルムを製作する。

#### 前行程

各層の部材である両面へ銅箔が貼り合わされたユピセル N (BE0310YSB) を、各層を製造するのに必要な大きさに裁断する。

先ず、第2層と第3層のパターンを形成する。感光性のエッチングレジスト剤を裁断したユピセル N へ塗布し、マスクフィルムを通し光を照射して露光させた後に現像する。次に、プラズマアッシング (Plasma Ashing) を行ない、基板に残留したエッチングレジスト剤を除去する。現像の仕上がりを確認し、パターンの欠損が発見された場合には修正作業 (タッチアップ) を行なう。エッチング後に、レジスト剤を剥離する。ここで中間検査を行ない、パターンの欠損、ショートが無い目視検査を行なう。図 3.17 へエッチングが終了した第2層と第3層、パターンの拡大図を示す。

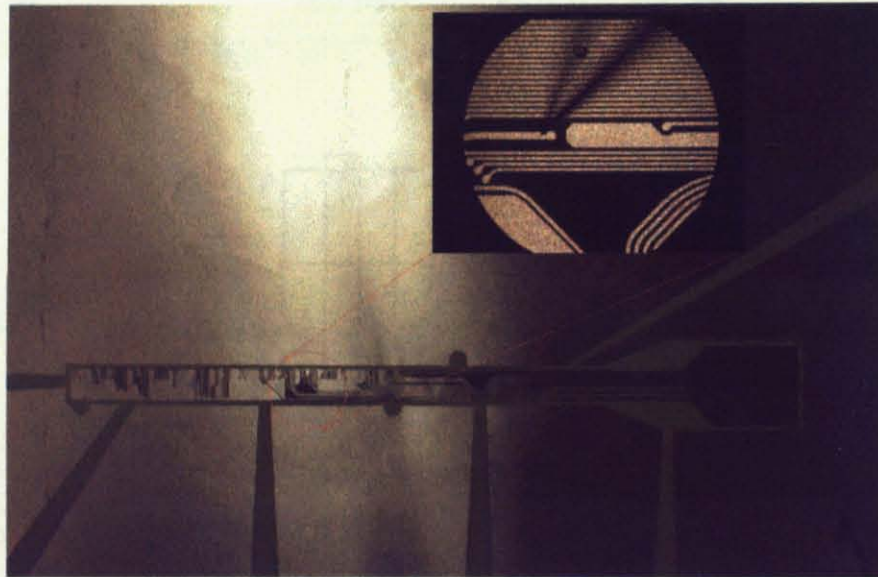


図 3.17: エッチング後の第2層及び第3層とパターンの拡大写真

#### 中間工程

第1層と第4層には、片面のみに銅箔が貼り合わされたユピセル N が必要である為、不要な片面の銅箔をエッチングで剥離する。パターンの形成された中間層 (第2層と第3層) の両側へ第1層と第4層をヒートプレスして積層を行なう。ヒートプレスでは、180 °C 雰囲気中で 40 kg/cm<sup>2</sup> の圧力を1時間掛ける。第1層と第4層は裏返しになっており、積層後の表裏面は銅箔となる。レーザーでスルーホール貫通穴を開け、穴開けで生じたスカム (残渣) をプラズマデスカム (Plasma descum) により除去する。プラズマデスカムは、酸素を含むガスを満たした反応室内で高周波電力を印加し、化学的に活性なプラズマを発生させてパターン化されたレジストのレジスト残渣 (ス



カム)を除去する方法である。その後、スルーホールへ $7 \sim 8 \mu\text{m}$ 厚の銅メッキを行なう。積層を行った第1層と第4層にパターンを形成する。表面の整面を行ない、ドライフォトレジスト(ドライフィルムフォトレジスト)を貼り付け、露光した後に現像する。現像状態を確認し、必要ならばタッチアップ後にエッチングする。レジストを剥離し、中間検査でパターンの損傷の有無を確認する。

ボンディングパッドへ電解金メッキを行なう。このメッキでは、ニッケルを $3 \sim 5 \mu\text{m}$ でメッキ後に、金を $0.6 \sim 0.8 \mu\text{m}$ メッキする。メッキが行なわれていない箇所の有無を確認する。最後に導通試験を行ない、合格したバスを最終工程へ回す。

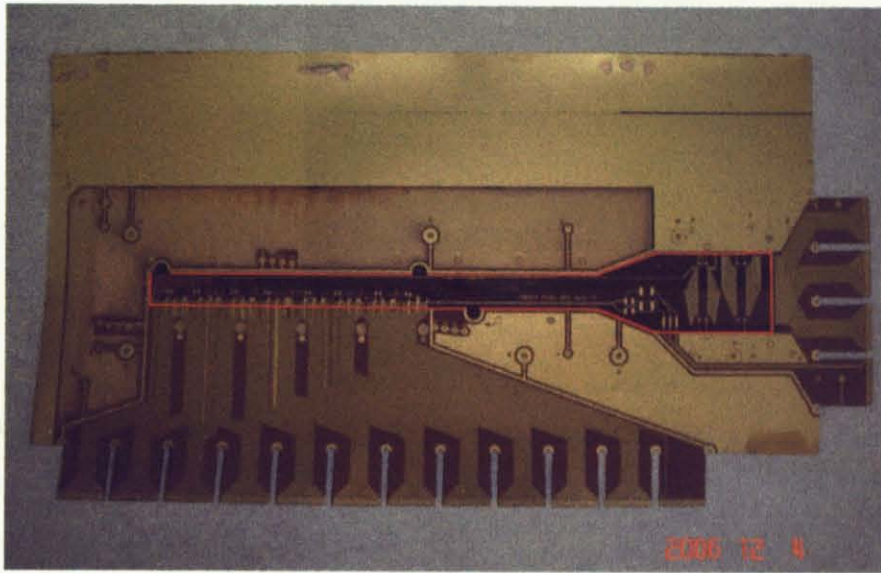


図 3.18: 第1層から第4層まで完成し、金メッキが完了した1.5 cmバス。赤線で囲まれた部分が最終工程へまわる。それ以外の部分は、各層のアライメントと導通試験の為に設けられた。

### 最終工程

1.5 cm バスの第1層に表面実装を行なう際のレジスト剤を塗布する。このレジスト剤は、チップ部品のハンダ付けでリフローハンダ付け (Reflow soldering) を行なう際に必要である。リフローハンダ付けは、ハンダペーストの印刷等で予め処理されているハンダを炉の中を通過させて熔融させ、ハンダ付けする方法である。レジスト剤塗布の完了後、金型で図 3.18 の赤線の部分を打ち抜く。

ニッケルメッキと金メッキされたGND層とVDD層を積層する。GND層とVDD層は、金型での打抜きの際に生じたバリでショートしてしまうので、GND層とVDD層の間のボンディングフィルムを $100 \mu\text{m}$ はみ出して積層する。最後に、レーザーでGND層とVDD層へ電源コネクタ用の穴を開ける。図 3.19 に表面実装部品がハンダ付けされて完成した1.5 cmバスを示す。

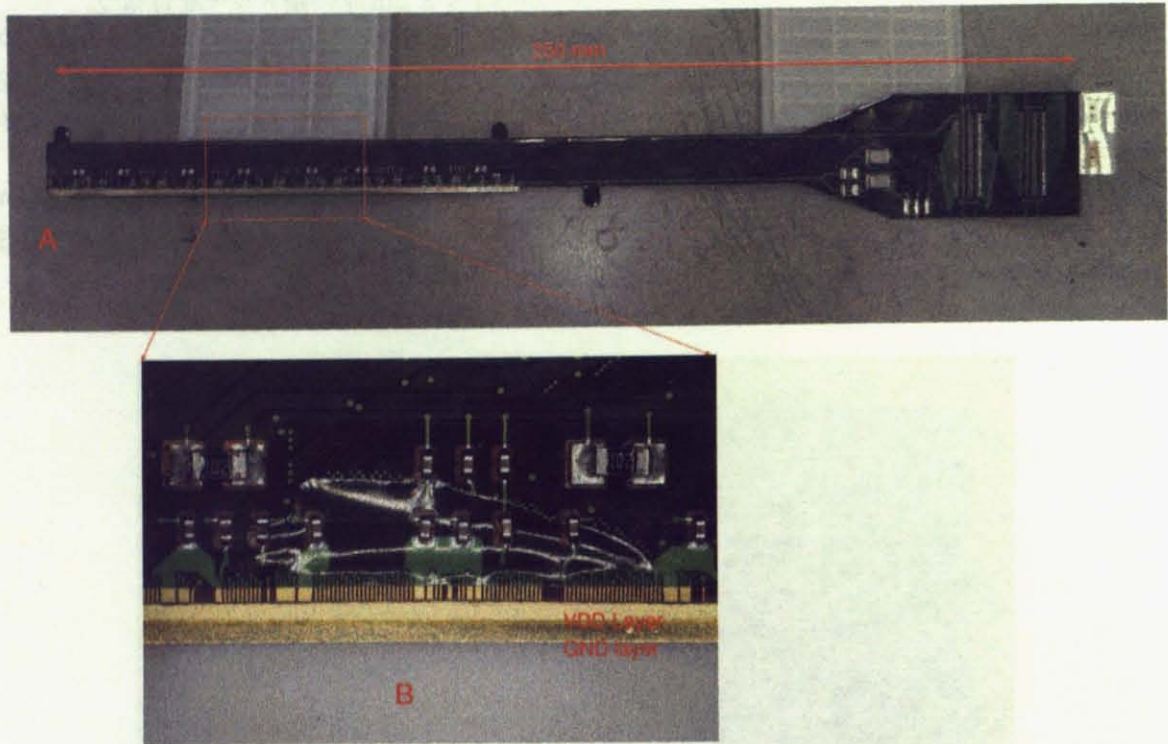


図 3.19: 表面実装部品が搭載された 1.5 cm バス。A は 1.5 cm バスの全体写真。B は表面実装部品が実装された部分の拡大図。



### 3.5.3 1.5 cm ハーフラダー

1.5 cm ハーフラダーの写真を図 3.20 に載せる。センサーハイブリッドと炭素繊維の支持板がアルダイトで接着された後に、1.5 cm バスのパッドとセンサーハイブリッドのパッドがワイヤボンディングされる。また、エクステンダとの接続に使用するコネクタ、センサーハイブリッドの各読み出しチップ用の VDD 電源、センサー用の逆バイアス電源を供給するコネクタもハンダ付けされている。ハーフラダーは、冷却の為にヒートシンクの上に設置され強制空冷される。

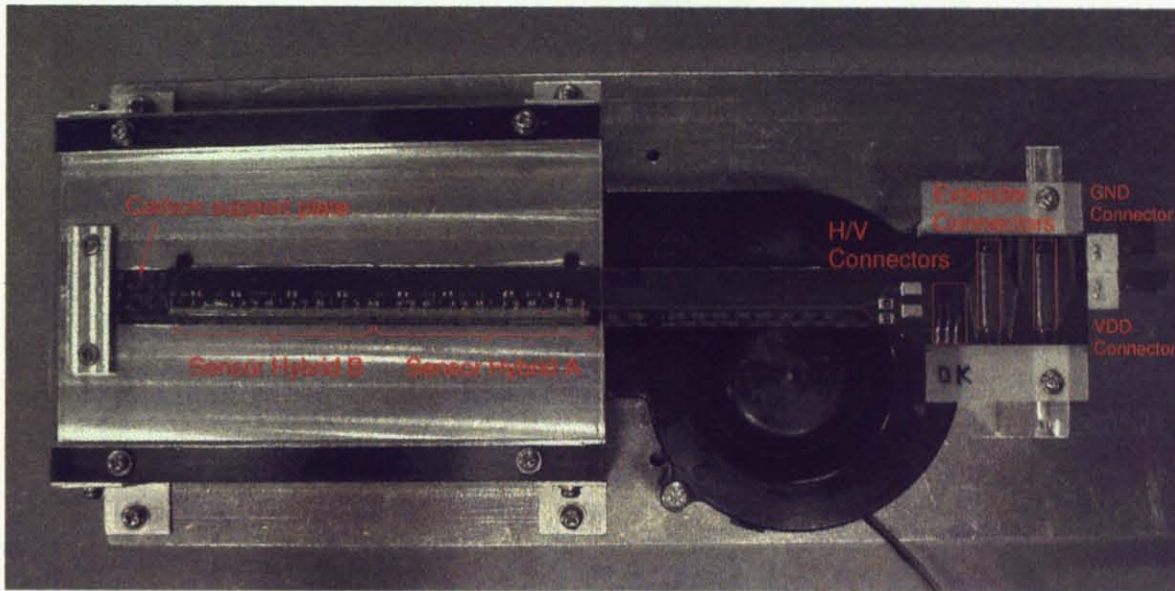


図 3.20: 1.5 cm バスで製作したハーフラダーとテストベンチ



### 3.5.4 シミュレーションモデル

3 cm バスと同様に、図 3.21 に示す幾何学的なモデルを作る。1.5 cm バスでは、エクステンダとの接続にはワイヤボンディングではなくコネクタを使用し、コネクタの嵌合部分はワイヤボンディングと比較して短距離であるので接続部の幾何学的なモデルは用意しない。次に、図 3.22 に示す HSPICE シミュレーションモデルを作り、伝送特性のシミュレーションを行なう。また、線路の幅と厚みが形成する断面積が 3 cm バスと比較して 8 分の 1 であるので、線路の電気抵抗は 8 倍大きくなる。十分なノイズマージンを取り、正しい信号伝送を行なう為のプルアップ抵抗の選定を HSPICE シミュレータで行なう。3 cm バスでは  $100\ \Omega$  のプルアップ抵抗を使用した。 $100\ \Omega$  と  $220\ \Omega$  のプルアップ抵抗における信号の振る舞いを 1.5 cm バスについてシミュレーションする。

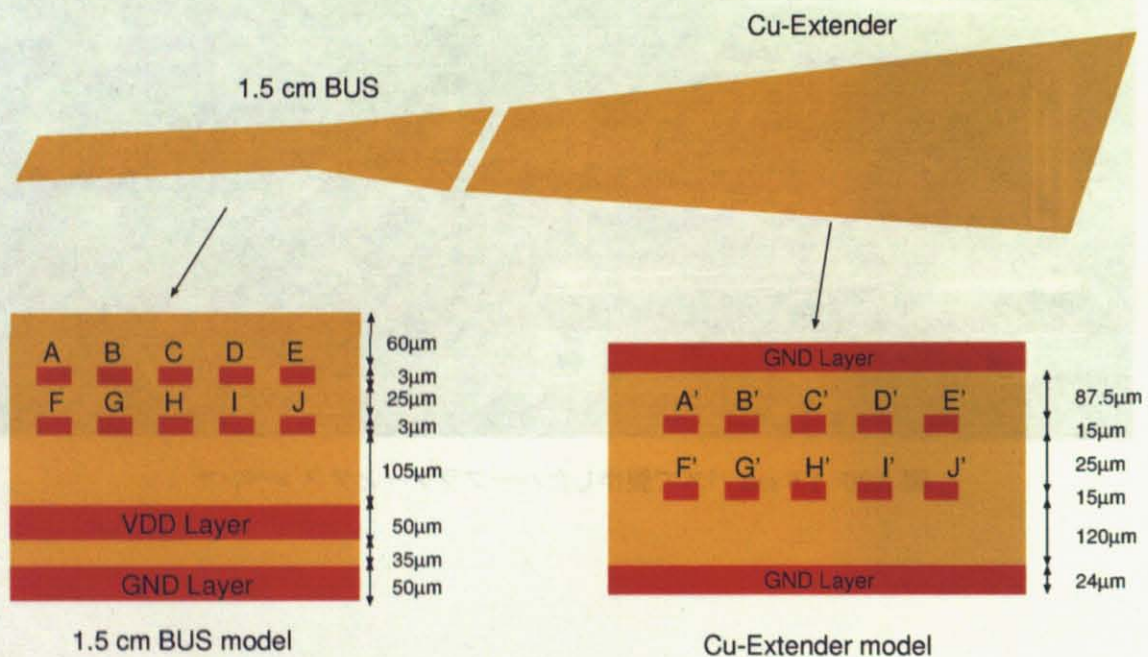


図 3.21: 1.5 cm バスの電場計算用の幾何学的モデル

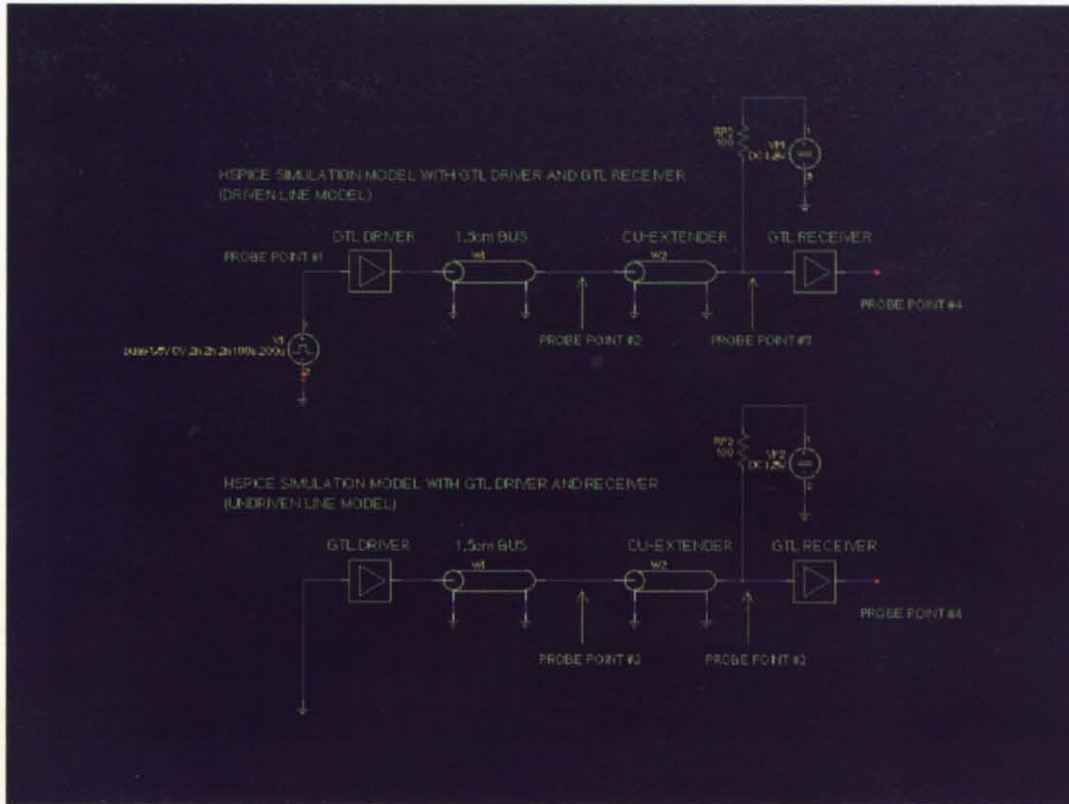


図 3.22: 1.5 cm バスの HSPICE モデル。上図はパルスを送信し、出力波形とデジタルパイロット ASIC 内部で認識される論理を確認するモデル。下図は上図でパルスを送信した際に誘起されるクロストークを計算するモデル。

### 3.5.5 シミュレーションの結果

プルアップ抵抗を  $100\ \Omega$  と  $220\ \Omega$  とした場合における 1.5 cm バスで伝送された信号波形と、デジタルパイロット ASIC 内部での真理値をシミュレーションした。図 3.23 にプルアップ抵抗が  $100\ \Omega$  での結果を、図 3.24 にプルアップ抵抗が  $220\ \Omega$  での結果を載せる。それぞれの出力波形は、線路の抵抗分が大きい為に誘導性の応答が観測されず、RC 回路の充放電波形と酷似している。Probe Point #1 の波形は、GTL ドライバへ入力するパルスである。Probe Point #2 は、1.5 cm バス末端での波形を、Probe Point #3 はエクステンダの出力での波形を示す。Probe Point #4 の波形は、デジタルパイロット ASIC 内部での論理である。Probe Point #3' の波形は、図 3.21 の A でパルスを送信した際に誘起される B' でのクロストークである。



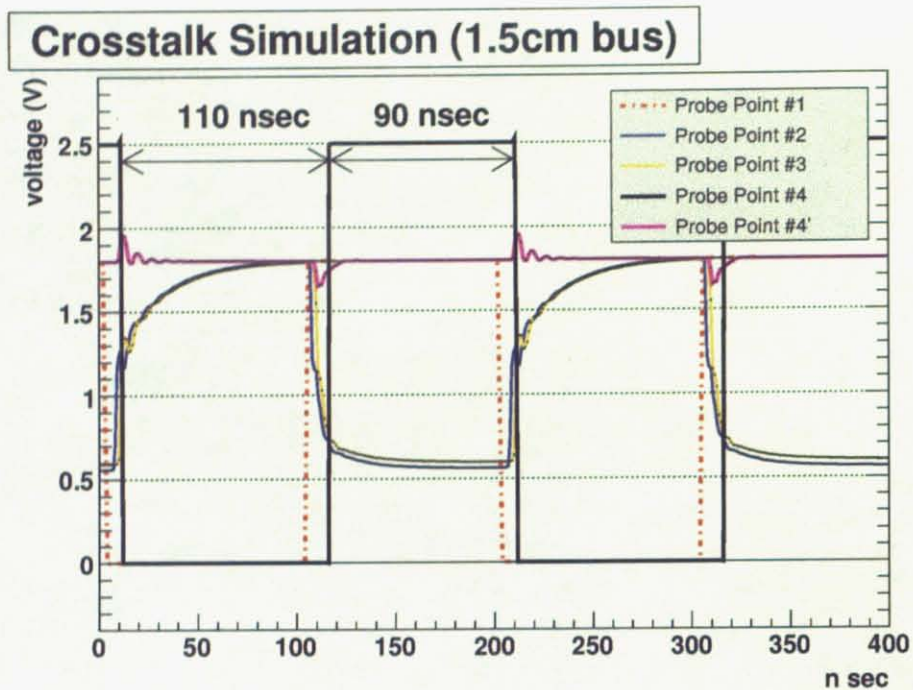


図 3.23: プルアップ抵抗  $100\ \Omega$  での 1.5 cm バスのシミュレーション結果

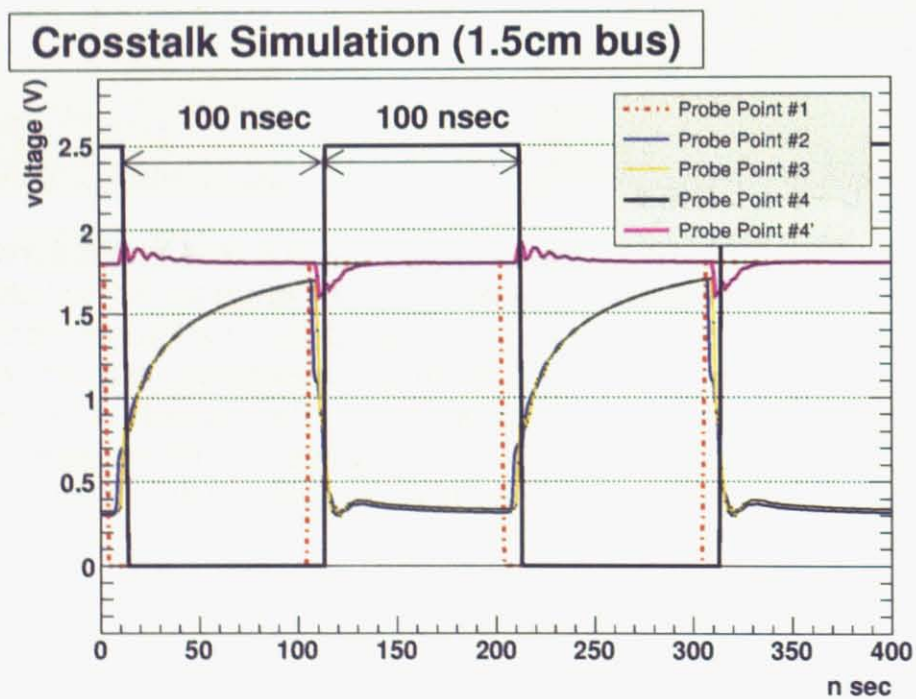


図 3.24: プルアップ抵抗  $220\ \Omega$  での 1.5 cm バスのシミュレーション結果



プルアップ抵抗が  $100\ \Omega$  である時の Probe Point #3 での波形の立ち上がり時間は、 $\sim 70\ \text{n秒}$ 、立ち下がり時間は  $\sim 10\ \text{n秒}$  である。この伝送されたパルスは  $0.55\ \text{V}$  まで下がるので、GTL 信号のリファレンス電圧  $0.8\ \text{V}$  に対するノイズマージンは  $0.25\ \text{V}$  である。クロストークのレベルは、 $\sim 0.3\ \text{V}_{\text{pp}}$  である。また、Probe Point #4 に示す論理レベルにおいて、真理値 0 の時間が  $110\ \text{n秒}$ 、真理値 1 の時間が  $90\ \text{n秒}$  と不均一になった。それに対してプルアップ抵抗が  $220\ \Omega$  である時の立ち上がり時間は、 $\sim 80\ \text{n秒}$ 、立ち下がり時間は  $\sim 15\ \text{n秒}$  である。伝送されたパルスは  $0.3\ \text{V}$  まで下るので、ノイズマージンは  $0.5\ \text{V}$  である。デジタルパイロット内部の論理レベルは、真理値 0 の時間が  $100\ \text{n秒}$ 、真理値 1 の時間が  $100\ \text{n秒}$  と均一になった。

また、それぞれのクロストークのレベルは、 $\sim 0.3\ \text{V}_{\text{pp}}$  である。クロストークのレベルが  $3\ \text{cm}$  バスよりも小さくなったのは、バスの電気抵抗が断面積の低下により増大し、結果的に線路の抵抗がダンピング抵抗として作用したと考えられる。

プルアップ抵抗値は、図 3.23 と図 3.24 の結果を比較すると、 $100\ \Omega$  である時に Probe Point #3 の波形は  $0.55\ \text{V}$  までしか下がらないが、 $220\ \Omega$  であると  $0.3\ \text{V}$  まで下がる。GTL 信号の規格 [26] によると、信号は  $0.4\ \text{V} \sim 1.2\ \text{V}$  の間でレベルを振らせる必要があるので、プルアップ抵抗は  $220\ \Omega$  が適する。

$1.5\ \text{cm}$  バスの特性インピーダンス  $Z_0$  は、第 1 層において  $178 \sim 196\ \Omega$ 、第 2 層においては  $172 \sim 190\ \Omega$  となり  $3\ \text{cm}$  バスよりも大きな値となった。これは、 $3\ \text{cm}$  バスよりも線路の幅が小さくなり、結果としてインピーダンスが大きくなったと考えられる。また、信号遅延時間  $t_d$  は、 $1.5\ \text{n秒}$  となった。エクステンダの特性インピーダンスは  $56\ \Omega$ 、信号遅延時間は  $2.7\ \text{n秒}$  となった。 $1.5\ \text{cm}$  バスの電気抵抗は  $43.3\ \Omega$ 、エクステンダでは  $3.0\ \Omega$  となった。

特性インピーダンスがそれぞれ  $1.5\ \text{cm}$  バスとエクステンダとで異なる為に、信号の反射がこの接続部で起き、図 3.24 ではアンダーシュートが Probe Point #3 の波形に見られる。本来ならば、 $1.5\ \text{cm}$  バスとエクステンダは、良好な伝送特性を保つ為に特性インピーダンスを揃えてた設計が行なわれるべきだが、 $1.5\ \text{cm}$  バスとエクステンダはハーフラダーを構成するので設計寸法に制約がありそれが行なえない。しかし、デジタルパイロット ASIC は、GTL 信号の閾値である  $0.8\ \text{V}$  を越えた時間により真理値を判断するので、この条件を満たすプルアップ抵抗を選択する事で正しい信号の伝送を行なえる。今回のシミュレーション結果では、 $1.5\ \text{cm}$  バスと  $220\ \Omega$  のプルアップ抵抗を用いた場合において、デジタルパイロット ASIC 内部での真理値が正しく判断されているので、 $1.5\ \text{cm}$  バスを用いたハーフラダーは正しく動作すると予想される。表 3.7 に  $1.5\ \text{cm}$  バスの各層における電気的特性を示す。

表 3.7:  $1.5\ \text{cm}$  バスの各層における電気的特性

	特性インピーダンス	自己インダクタンス	自己キャパシタンス	電気抵抗	信号遅延時間
第 1 層	$178 \sim 196\ \Omega$	$1.8 \times 10^{-7}\ \text{H}$	$2.5 \times 11^{-10}\ \text{F}$	$43.4\ \Omega$	$2.7\ \text{n秒}$
第 2 層	$172 \sim 190\ \Omega$	$1.7 \times 10^{-7}\ \text{H}$	$2.8 \times 11^{-10}\ \text{F}$	$43.3\ \Omega$	$2.7\ \text{n秒}$

### 3.6 性能試験

#### 3.6.1 各線の電気抵抗の測定

エッチングにより形成された 1.5 cm バスの線路の電気抵抗を、シミュレーションで求めた値と比較する。アジレントテクノロジー社製 4263B 型 LCR メータと Cascade Microtech 社製 MH4-B 型ポジショナー及び、PTT-24/4-25 型タングステン検査針を使用して 1.5 cm バスの信号線の電気抵抗を測定する。図 3.25 に示す様に、ポジショナーへ検査針を取り付け、1.5 cm バスの信号線へ検査針を当てて測定を行なう。図 3.17 の裁断及び積層前の状態で、第 2 層と第 3 層の信号線の電気抵抗を測定し、次に各層が貼り合わされたバスの電気抵抗を測定する。

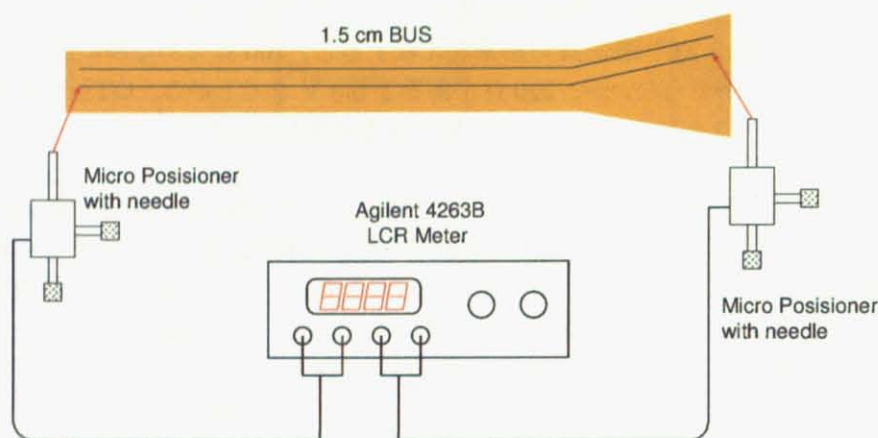


図 3.25: 1.5 cm バスの信号線の電気抵抗を測定するセットアップ

#### 3.6.2 第 2 層と第 3 層の信号線の電気抵抗

表 3.8 で第 2 層と第 3 層の信号線の電気抵抗の測定結果を示す。

表 3.8: 第 2 層と第 3 層の信号線の電気抵抗

サンプル番号	抵抗値	線の長さ	線抵抗 ( $\Omega/\text{mm}$ )	信号線あたりの電気抵抗 ( $\Omega/\text{line}$ )
1	2.6 $\Omega$	16.4 mm	0.16 $\Omega/\text{mm}$	40.0 $\Omega$
2	2.4 $\Omega$	16.0 mm	0.15 $\Omega/\text{mm}$	37.5 $\Omega$
3	2.6 $\Omega$	16.5 mm	0.16 $\Omega/\text{mm}$	40.0 $\Omega$
4	2.5 $\Omega$	15.9 mm	0.16 $\Omega/\text{mm}$	40.0 $\Omega$
5	2.5 $\Omega$	16.1 mm	0.16 $\Omega/\text{mm}$	40.0 $\Omega$
6	43.3 $\Omega$	252.0 mm	0.17 $\Omega/\text{mm}$	42.5 $\Omega$
7	44.1 $\Omega$	252.0 mm	0.18 $\Omega/\text{mm}$	45.0 $\Omega$

この結果より、線路の長さが 250 mm の時に、信号線 1 本当たりの電気抵抗値は  $40.7 \pm 2.4 \Omega$  となった。シミュレーションで仮定した値と比較して、約 3  $\Omega$  低くなった。

### 3.6.3 各層が貼り合わされたバスの電気抵抗

各層が積層され、第2層と第3層の信号線がスルーホールで接続された1.5 cm バスの電気抵抗の測定結果を表 3.9 で示す。

表 3.9: スルーホールで接続された信号線の電気抵抗

サンプル番号	抵抗値	線の長さ	線抵抗 ( $\Omega/\text{mm}$ )	信号線あたりの電気抵抗 ( $\Omega/\text{line}$ )
1	46.9 $\Omega$	231.0 mm	0.20 $\Omega/\text{mm}$	50.0 $\Omega$
2	48.8 $\Omega$	231.0 mm	0.21 $\Omega/\text{mm}$	52.5 $\Omega$
3	47.4 $\Omega$	231.0 mm	0.21 $\Omega/\text{mm}$	52.5 $\Omega$
4	46.1 $\Omega$	231.0 mm	0.20 $\Omega/\text{mm}$	50.0 $\Omega$
5	45.5 $\Omega$	231.0 mm	0.20 $\Omega/\text{mm}$	50.0 $\Omega$
6	47.2 $\Omega$	231.0 mm	0.20 $\Omega/\text{mm}$	50.0 $\Omega$
7	43.7 $\Omega$	231.0 mm	0.19 $\Omega/\text{mm}$	47.5 $\Omega$

この結果より、信号線1本当たりの電気抵抗値は  $50.4 \pm 1.6 \Omega$  となり、電気抵抗値が貼り合わせ前と比較して  $9.7 \pm 2.9 \Omega$  大きくなった。これは、各層の接続を行なうスルーホールの電気抵抗分増大したと考えられる。測定した線路には、スルーホールが3個設けられていた。この結果から、スルーホール1個当りの電気抵抗は、約3  $\Omega$  となる。

### 3.6.4 温度上昇試験

1.5 cm バスで製作したハーフラダーに電源を投入する試験を行なった。その結果、2.05 V を供給した際の消費電流は1.8 A となった。また、電源を供給した際のハーフラダーの温度上昇を日本アビオニクス社製 TVS-200 型放射温度計で測定した様子を図 3.26 に示す。この放射温度計の測定波長領域は、8 ~ 14  $\mu\text{m}$  である。その結果、ハーフラダーの表面温度は最大 30.9  $^{\circ}\text{C}$  であり、ハーフラダーの各読み出しチップに電源が供給されている事が確認された。ハーフラダーはヒートシンクの上に置かれている為に、ハーフラダーの端に置かれた読み出しチップ程温度が低く、真中の読み出しチップ程温度が高い。PHENIX 検出器で 사용되는場合には、ハーフラダーは冷却パイプを用いて 0  $^{\circ}\text{C}$  で運転が行なわれる。



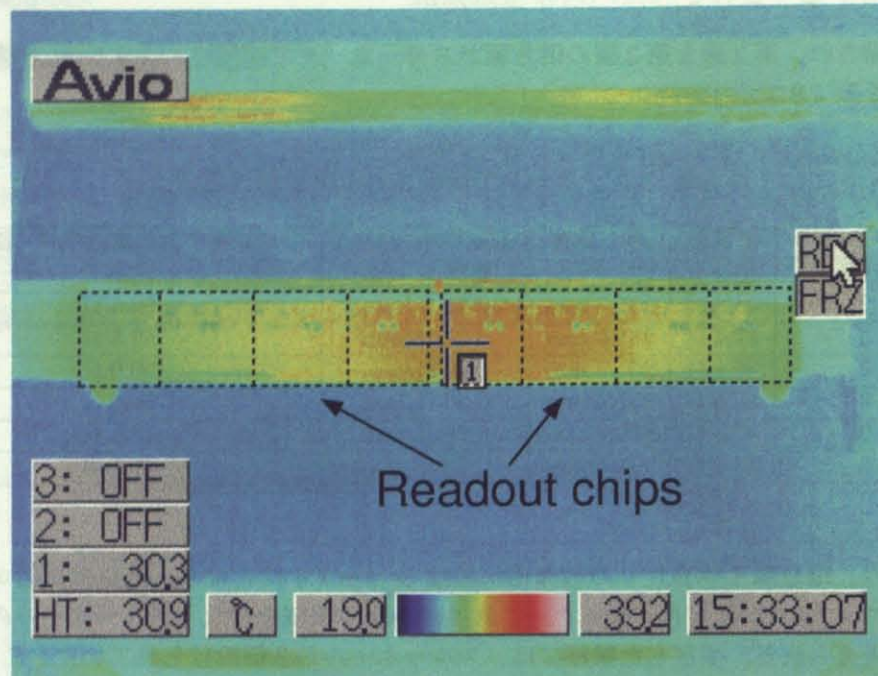


図 3.26: 1.5 cm で製作したハーフラダーを動作させた際の表面温度分布。破線は ALICE1LHCb 読み出しチップを示す。

### 3.6.5 1.5 cm バスの伝送特性の測定

完成した 1.5 cm バスへパルスを入力し、パルスを伝送させる。伝送されたパルスをオシロスコープで観測し、伝送特性を観測する。

図 3.27 に示す様なシミュレーションモデルを用意する。このモデルでは、パルサーから出力されたパルスがポジショナーを経由して 1.5 cm バスに入力され、伝送されたパルスがポジショナーを経由し、並列容量 13 pF、1 M $\Omega$  の入力インピーダンスのオシロスコープで観測される。尚、このモデルではプルアップ抵抗は実装されていない。パルスの時間幅 100 n 秒、立上り及び立ち下がり時間 2 n 秒、波高値 3 V のパルスを 1.5 cm バスへ与え、バスの末端で伝送されたパルスをシミュレーションした。図 3.28 へシミュレーションした結果を示す。その結果、パルスの波高値 3 V、立上りと立ち下がりでオーバーシュートとアンダーシュートが生じている。これらは、立上り部分でおおよそ 3.1 V、立ち下がり部分でおおよそ -0.2 V まで達する。

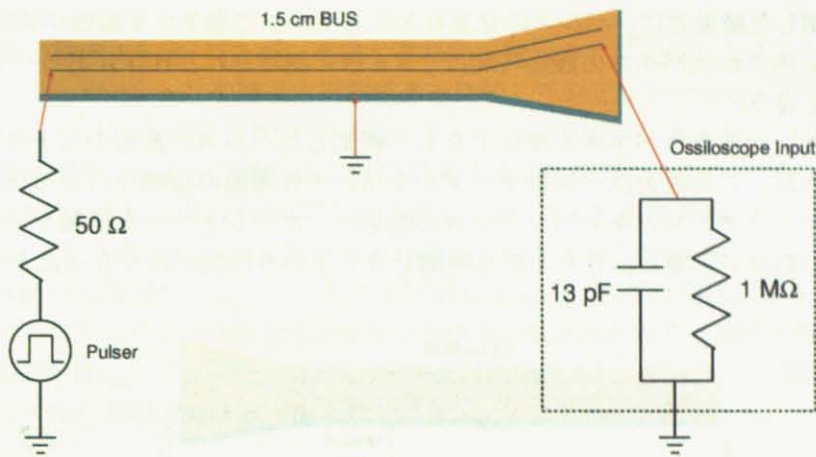


図 3.27: 1.5 cm バスの伝送特性のシミュレーションモデル

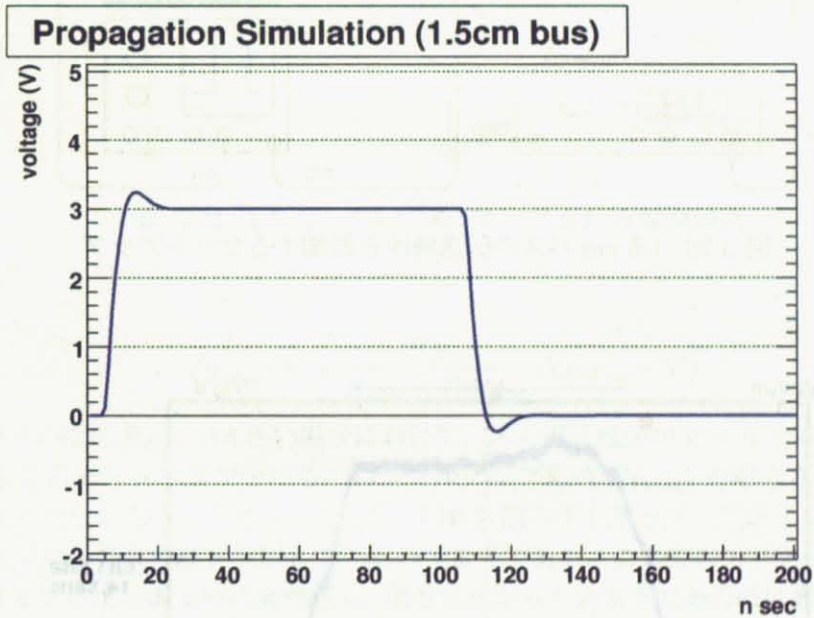


図 3.28: 1.5 cm バスの伝送特性のシミュレーション結果

図 3.29 へ 1.5 cm バスの伝送特性を観測するセットアップを示す。アジレントテクノロジー社製 81110A 型パルスパターンジェネレータで、波高値 3 V、立上り及び立ち下がり時間 2 n 秒、時間幅 100 n 秒のパルスが発生し、ポジショナーをワイヤボンディング側のパッドに当ててパルスを与える。伝送されたパルスは、エクステンダと接続されるコネクタのパッドをポジショナで当て、オシロスコープで観測する。1.5 cm バスのグランドとオシロスコープとパルスパターンジェネレータのグランドはお互いに接続される。図 3.30 にオシロスコープで観測した結果を示す。パルスの波高値は 3 V、パルスの立上りでオーバーシュートが、立ち下がりアンダーシュートが観測された。オーバーシュートはおよそ 3.8 V、アンダーシュートはおよそ -0.5 V まで達した。パルス



の立ち上がり時間は $\sim 15$  ns、立ち下がり時間も $\sim 14$  nsと観測された。シミュレーションで得た結果と観測した結果共に、パルスの立上りと立ち下がりで発生する振動が確認された。また、入力パルスと伝送されたパルスの遅延時間は $1.5$  nsと測定され、HSPICE シミュレーションで求めた値と良く合う。

シミュレーションで求めたパルスの波形よりも、観測したパルスの波形の立上りと立ち下がり時間が大きくなった。この理由は、同軸ケーブルを用いて各機器の接続を行なったので、ケーブルの長さ分のインダクタンスとキャパシタンスの効果と、ポジショナーと同軸ケーブルの接続部における反射等の効果が影響し、立ち上がり時間と立ち下がり時間が長くなったと考えられる。

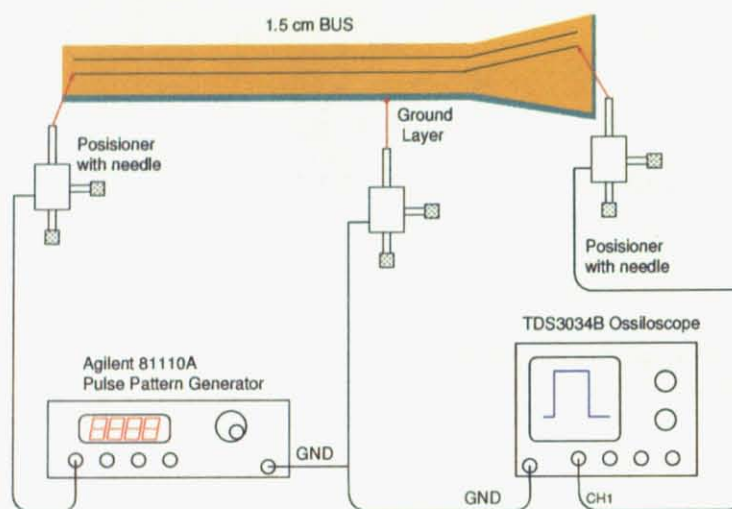


図 3.29: 1.5 cm バスの伝送特性を観測するセットアップ

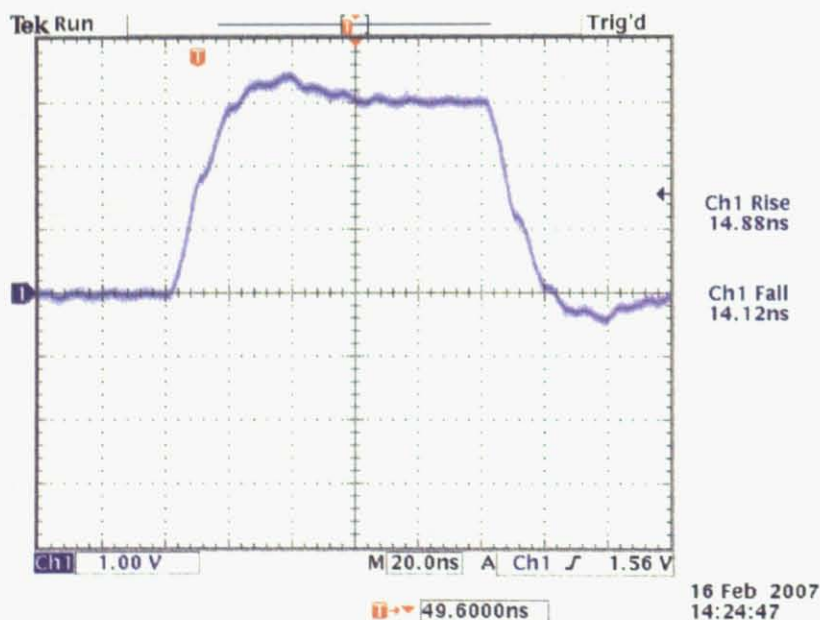


図 3.30: 1.5 cm バスの伝送特性の観測結果



### 3.7 まとめ

PHENIX 実験仕様の 1.5 cm バスが、高度な微細加工技術の元に完成した。これには、3 cm バスの HSPICE シミュレーションの結果と実測波形を比較してシミュレーションの信頼性を確認し、それを元に 1.5 cm バスの開発を行なう事で完成できた。HSPICE シミュレーションの結果より、1.5 cm バスで使用するプルアップ抵抗は 220  $\Omega$  が適する事も確認した。プルアップ抵抗が 220  $\Omega$  であると、エクステンダから出力する GTL 信号は 0.3 V ~ 1.8 V まで振れ、GTL 信号の規格 [26] である 0.4 V ~ 1.2 V の間でレベルを振らせる必要性を満たすからである。

また、バスの線路の電気抵抗  $R_{Bus}$  とプルアップ抵抗  $R_{Pullup}$  の直流等価回路を図 3.31 に示し、1.5 cm バスにおいてプルアップ抵抗を増加させると信号の振れ幅が増える理由を説明する。1.5 cm バスが持つ直流抵抗  $R_{Bus}$  とプルアップ抵抗  $R_P$  が直列に接続され、プルアップ電圧  $V_P$  でプルアップされる際に、バスの末端におけるパルスの波高値  $V_{Bus}$  は式 3.9 で表される。

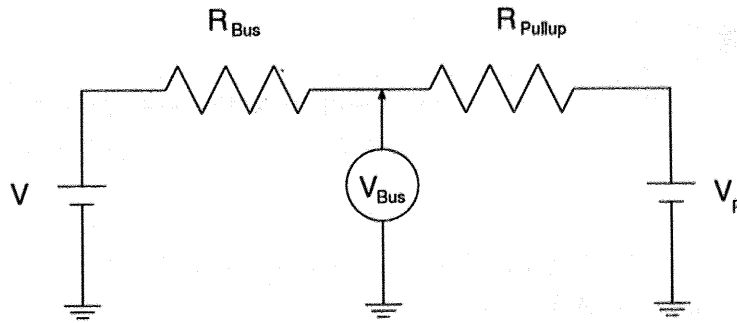


図 3.31: 1.5 cm バスがプルアップされる等価回路

$$V_{Bus} = V + \frac{R_{Bus}}{R_{Bus} + R_{Pullup}} (V_{Pullup} - V) \quad (3.9)$$

式 3.9 よりバスの抵抗  $R_{Bus}$  が大きい場合において、入力信号電圧が  $V = 0$  である時にバスの出力側における信号電圧も 0 V まで下げるには、プルアップ抵抗  $R_{Pullup}$  を増やさないと出力側で信号電圧が 0 V へ近付かない。これは、ALICE1LHCb 読み出しチップ、デジタルパイロット ASIC 共にアクティブローで真理値を判断しているのが重要である。ここでのアクティブローの構成は、信号電圧が 1.2 V 以上である時に真理値 0、信号電圧が 0.4 V 以下である時に真理値 1 と論理回路が判断する。このことから、真理値 0 である時には常に 1.2 V 以上を保持せねばならないので、プルアップ抵抗は必要となる。 $R_{Pullup}$  を増やせば、図 3.24 に示す様に、GTL 信号に必要な振れ幅である 0.4 V ~ 1.2 V を保証でき、デジタルパイロット ASIC 内部で正しく論理を判断できる。また、1.5 cm バスでパルスを伝送する試験では、HSPICE シミュレーションで得られた結果と実測結果が良く一致した。よって、HSPICE シミュレータを用いたバスの開発により、期待通りの性能を発揮できると考えられる。

電気抵抗の測定値とシミュレーションで予想した値は、良く一致している。これは、エッチングによるパターン形成とスルーホール品質が非常に高い事を示す。

1.5 cm バスの幅は 13.9 mm 幅で作られ、ピクセルセンサーの幅と同幅のバスを開発できた。バスの放射長は、 $X/X_0 = 0.22\%$  となり、要求値の  $X/X_0 = 0.28\%$  よりも 0.06 % 小さくなった。

以上の結果から、シリコンピクセル検出器用の低物質質量、高密度伝送バスの設計方針が確立した。

## 第4章 ハーフラダーの性能試験

本章では、製作したハーフラダーの動作試験について記述する。ハーフラダーの性能試験として、読み出しチップの制御とデータの取得がバスを通して行なえる事を確認する。まず、3 cm バスで製作したハーフラダーで性能試験を行ない、次に 1.5 cm バスで製作するハーフラダーで同様の試験を行なう。この性能試験では、ハーフラダーと読み出しシステムが実用に耐えうるかを評価する。

### 4.1 性能試験

ハーフラダーの性能試験では、テストパルスを用いる試験、放射線源を使用する試験、宇宙線を捉える試験を行なう。テストパルスを用いる試験では、テストパルスを各読み出しチップへ与え、そのデータを取得できるかを試験する。放射線源を用いる試験は、 $^{90}\text{Sr}$  から放射される  $\beta$  線のヒットをセルフトリガで捉える。宇宙線の飛跡を捉える試験は、実機に近いシステムで行なう。ハーフラダーは、次の項目に対して試験される。項目 1 から項目 6 はハーフラダーの基本試験であり、項目 7 はその後の総合試験である。

1. センサーハイブリッドの各 ALICE1LHCb 読み出しチップの合計消費電流。
2. センサーハイブリッドのピクセルセンサーの暗電流。
3. 読み出しチップの閾値と動作を決定する為の各 DAC の設定機能。
4. 読み出しチップへテストパルスを与えるピクセルの設定機能。
5. 読み出しチップのピクセルのマスク機能。
6. テストパルスを与えたピクセルの動作。
7.  $^{90}\text{Sr}$  からの  $\beta$  線を使った検出器としての機能。  
SPIRO ボードの制御と読み出しを行なう FEM ボードが未だ開発段階であるので、SPIRO ボードの次段には VME の読み出しシステムを使用した。

### 4.2 テストパルスを用いる試験

#### 4.2.1 セットアップ

シリコンピクセルセンサーへ逆バイアス電圧 50 V を、ハーフラダーへ 2.05 V を供給する。ハーフラダーへは、3 cm バスとエクステンダ及びワイヤボンディングによる電圧降下分を考慮し、読み出しチップの動作電圧よりも 0.2 V 程高い電圧を供給する。

図 4.1 にテストパルスを用いる試験でのセットアップ図を示す。デジタルパイロット ASIC の制御は、Linux PC 上でシリアルコマンドのパターンを定義し、VME パルスパターンジェネレータから

40 MHz 8 ビットのシリアルコマンドをデジタルパイロット ASIC へ送る事で行なわれる。ハーフラダー上の ALICE1LHCb 読み出しチップを動作させ、データを読み出すには次の操作を行なう。

### 1. ALICE1LHCb 読み出しチップ内部の DAC 用基準電圧と GTL 信号用基準電圧の設定

- 表 2.4 に示す内部 DAC 用と GTL 信号用の基準電圧をアナログパイロット ASIC で生成し、各読み出しチップへ与える。VME パルスパターンジェネレータからデジタルパイロット ASIC へ 40 MHz 8 ビットのシリアルコマンドを送り、アナログパイロット ASIC を制御しそれらの基準電圧を作る。

### 2. 読み出しチップ内部の 44 個の DAC へ値の設定

- 各読み出しチップ内部の 44 個の DAC へ値を設定し、チップ内部のディスクリミネータの閾値やアンプの時定数等を設定する。これらの DAC の設定には、シリアルコマンドをデジタルパイロット ASIC へ送り、そのコマンドを元にデジタルパイロット ASIC が、JTAG プロトコルで各読み出しチップの設定を行ない完了する。  
読み出しチップの閾値は、テストパルスを与えずにデータを取得してピクセル回路から出力が全く無い点を閾値とする。

### 3. テストパルス試験

- テストパルスを与えるピクセルの設定と与えないピクセルのマスクを行なった後、テストパルスを読み出しチップへ与える。これらのピクセルへ対する操作は、全ての 8,192 個のチャンネルに対して独立に行なえる。テストパルスを読み出しチップへ送り出すタイミングは、デジタルパイロット ASIC が担う。

### 4. データの読み出し

- データを読み出すには、デジタルパイロット ASIC がトリガ信号を生成する為のシリアルコマンドを VME パルスパターンジェネレータからデジタルパイロット ASIC へ送り、デジタルパイロット ASIC がトリガ信号を読み出しチップへ与える事で、読み出しチップのデータがデジタルパイロット ASIC で読み出される。読み出されたデータは、表 2.6 で示す形式で 40 MHz の 32 ビットパラレルデータへ変換され、64 k バイト VME FIFO モジュールへ書き込まれる。Linux PC では、FIFO モジュールに書き込まれたパラレルデータからヒットデータを抽出し、ROOT<sup>1</sup>でヒットマップを描画する。

図 4.2 へテストベンチの全体の写真とハーフラダー回りの拡大写真を示す。3 cm ハーフラダーは、冷却の為にヒートシンクの上へ設置され強制空冷される。ワイヤボンディング保護の為に、アクリルカバーを取り付け、放射線源をその上へ置ける様にした。

<sup>1</sup><http://root.cern.ch/>



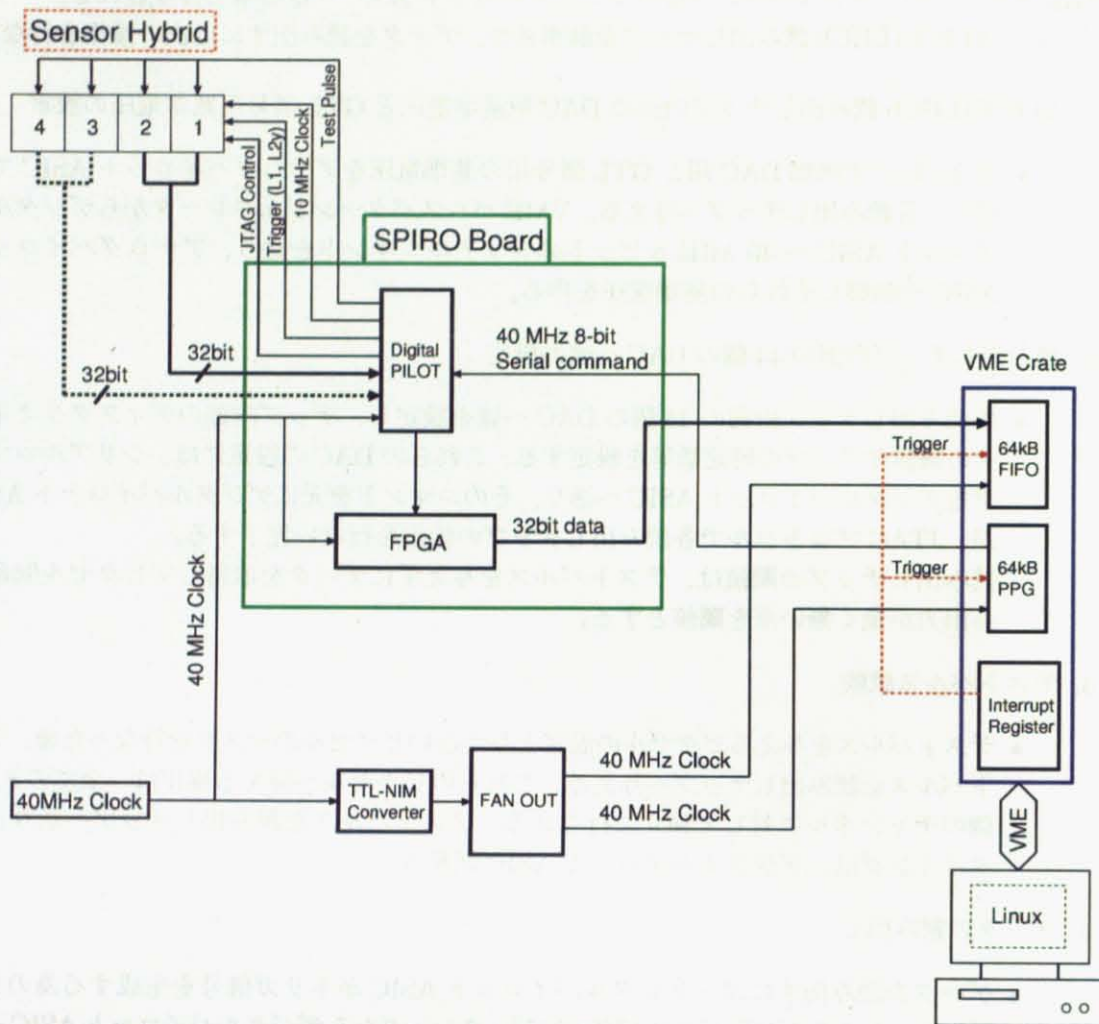


図 4.1: ハーフラダーの読み出しチップへテストパルスを与えて読み出すセットアップ図

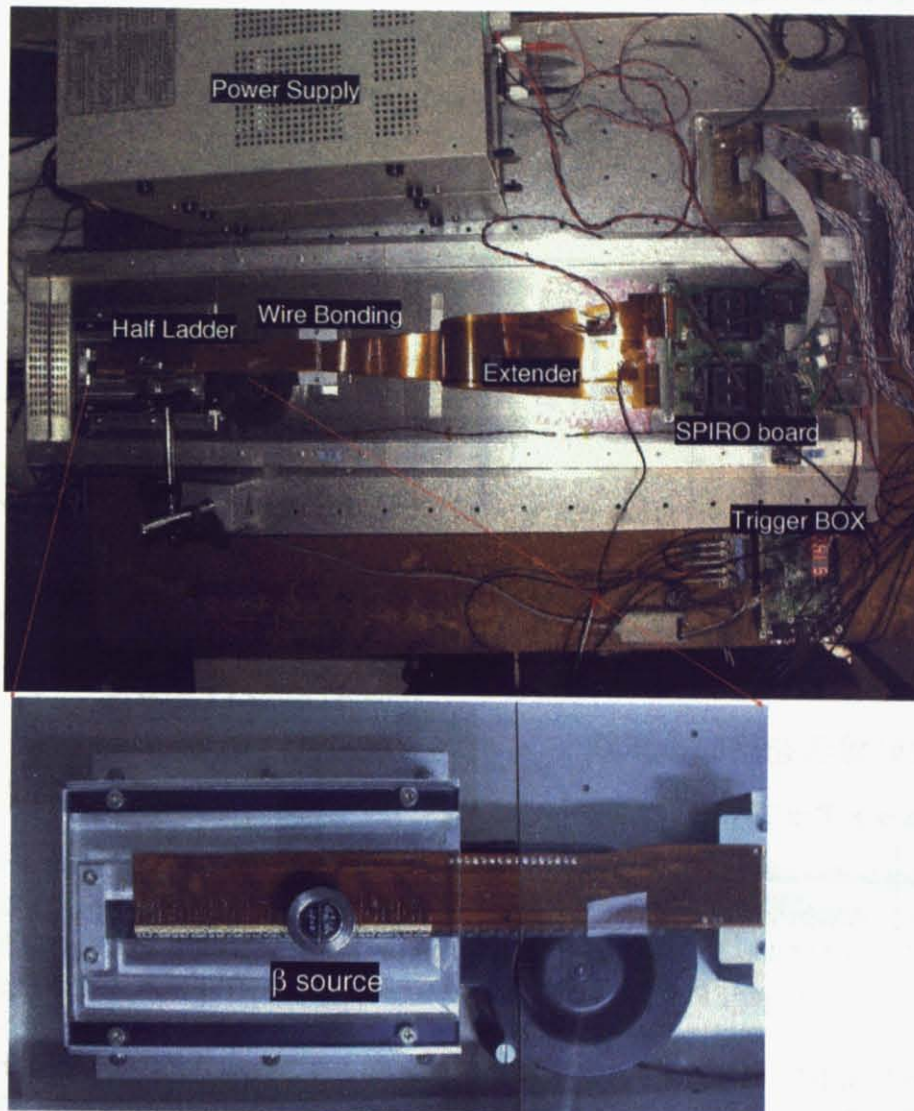


図 4.2: テストベンチ全体の写真(上)とハーフラダー回りの拡大写真(下)

#### 4.2.2 試験結果

ピクセルセンサーの暗電流は、逆バイアス電圧が 50 V の時に 50  $\mu$ A であった。よってピクセルあたりの暗電流は、およそ 1.5 nA である。また、ハーフラダーの消費電流は、2.05 V 印加時に 2.48 A であった。よって、チップ 1 個当たりの消費電力は約 1.3 W となり、読み出しチップの設計仕様の消費電力と一致する。

各読み出しチップのマスクしていないピクセル回路へテストパルスを 100 発与え、設定したピクセルが反応した様子を図 4.3 に示す。パンプボンディング後のセンサーハイブリッドは、付録 A で記述される検査が行なわれているので、全てのピクセルに対してテストパルスを与える試験は省略した。テストパルスを与えるピクセルの場所とマスクするピクセルをそれぞれの読み出しチップで変え、テストパルスを 100 発与えてアルファベット文字を表せる様にした。チップ 1 へは C、チップ 2 へは E、チップ 3 へは E、チップ 4 へは F を表す事に成功した。各読み出しチップでドッ



ト抜けが生じているのは、図 4.1 に示す様に、テストパルスの線が各読み出しチップへと配線されており、テストパルスの電荷がそれぞれの読み出しチップへ分配されてしまう事と、各ピクセルの閾値を微調整して揃えていないからと考えられる。

以上の結果から、3 cm バスの制御系統と電源系統には、致命的な欠陥が存在しない事が確かめられた。

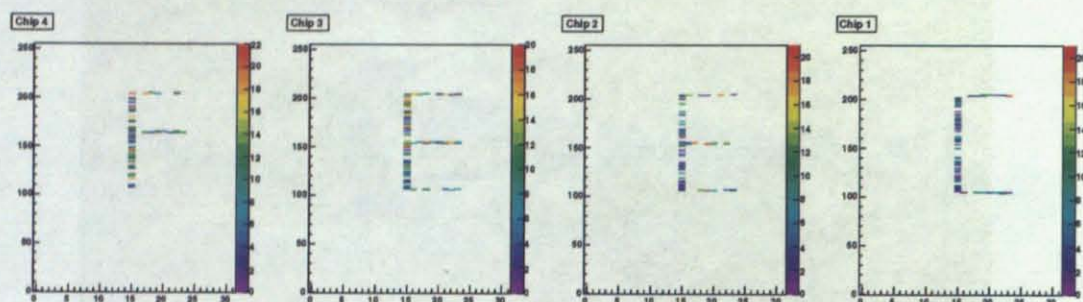


図 4.3: テストパルスに反応したセンサーハイブリッド上の ALICE1LHCb 読み出しチップ

## 4.3 放射線源を用いる試験

### 4.3.1 セットアップ

図 4.4 にセンサーハイブリッドで  $^{90}\text{Sr}$  の  $\beta$  線のヒットを捉え、そのデータを読み出すセットアップ図を示す。基本的な構成と操作は図 4.1 のテストパルスを用いる試験と同等であるが、その他に、センサーハイブリッドから出力される FastOR 信号によるセルフトリガを行なう為の論理回路をトリガボックス内の FPGA に設ける。ハーフラダー上の各読み出しチップの設定は、テストパルスを用いる試験と同様に、VME パルスパターンジェネレータからシリアルコマンドをデジタルパイロット ASIC へ送り行なう。読み出しチップの閾値は、FastOR 信号が出力されず、トリガボックスのカウンタが動作しない点で決定される。各読み出しチップの動作設定の完了後、トリガボックスから出力されるトリガ信号用のシリアルコマンドがデジタルパイロット ASIC へ入力される様にスイッチを切替える。

次に、セルフトリガによるデータの取得について説明する。セルフトリガでハーフラダーからデータを取得するには、各 ALICE1LHCb 読み出しチップから出力される FastOR を使用する。FastOR 信号は、バス基板上の専用線を経由してデジタルパイロット ASIC へ送られ、その情報は、デジタルパイロット ASIC が出力する 32 ビットパラレルデータの frame0 の slot0 中に含まれる。

図 4.5 へ FastOR でセルフトリガを行なう際のサイクル図を示し、FastOR によるセルフトリガで  $\beta$  線のヒットデータを読み出す方法を説明する。

1. SPIRO ボード上の FPGA で、デジタルパイロット ASIC が出力する 32 ビットパラレルデータから各読み出しチップが出力する 4 つの FastOR 信号を抽出し、それらの 4OR を作りトリガボックスへ送る。
2. トリガボックス内の FPGA では、4OR が入力されるとトリガボックスが Level1 トリガ信号をデジタルパイロット ASIC へ送り、読み出しチップ内のピクセル回路の FIFO バッファへ



イベントを収める。次に、アイドル信号と Level2y トリガ信号を送り、読み出しチップからデータを読み出す。

3. Level1 トリガ信号が出力された後に、Trigger OUT 信号が VME FIFO モジュールとインタラプトレジスタへ入力される。Trigger OUT 信号の立上りで VME FIFO モジュールがトリガされデータが書き込まれる。それと同時に、VME インタラプトレジスタから DAQ Busy 信号をトリガボックスへ送り、データ取得中にハーフラダーにヒットが存在していてもそのデータが取得されない様にする。
4. DAQ Busy 信号が出力されて約 270  $\mu$  秒後にはデータの取得が終了し、DAQ Busy 信号が解除され、新たなデータの読み出しを受け付ける。

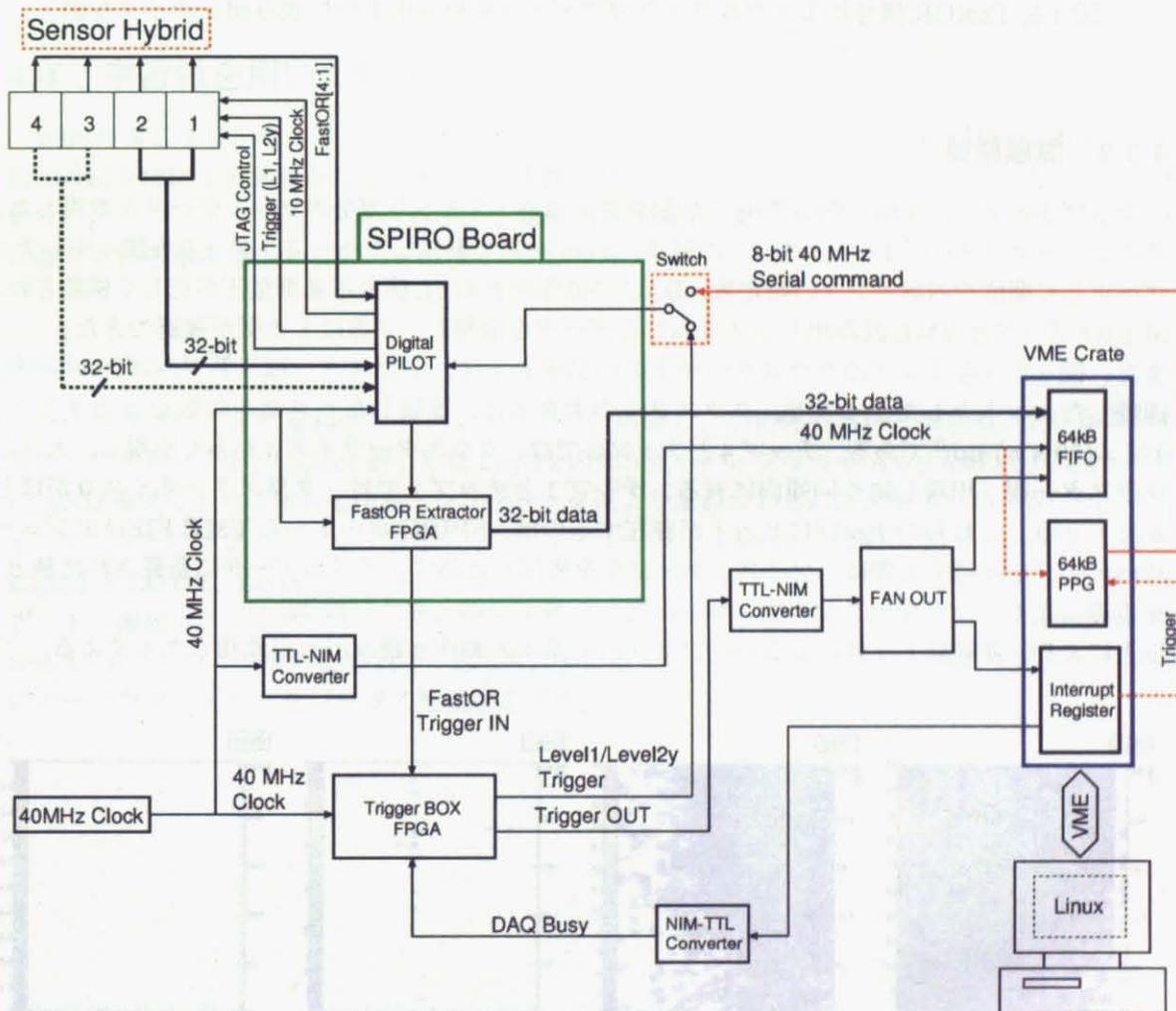


図 4.4: ハーフラダーで捉えた  $\beta$  線のヒットを読み出すセットアップ図

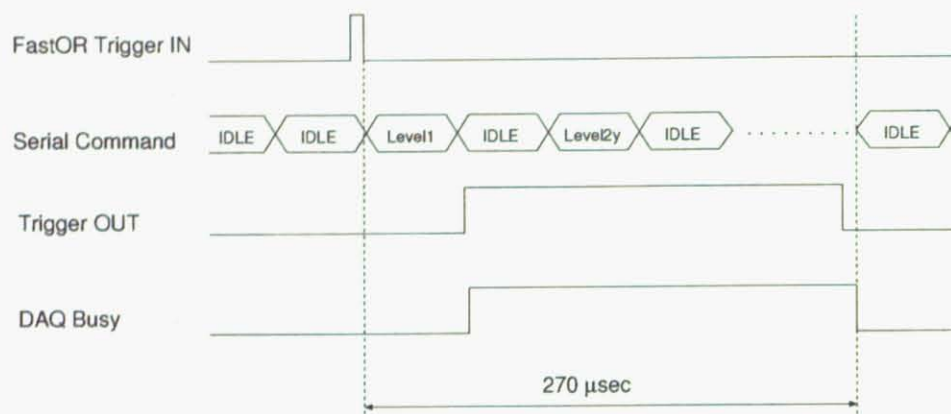


図 4.5: FastOR 信号によるセルフトリガでデータを読み出す時の読み出しサイクル図

### 4.3.2 試験結果

チップ 3 とチップ 4 の上側へ  $^{90}\text{Sr}$  の放射線源を置き、5 万トリガ分のヒットデータを取得した。そのヒットマップを図 4.6 へ示す。その結果、3 cm バスで製作したハーフラダーの各読み出しチップへ正しく閾値や内蔵アンプの時定数、DAC の動作用と GTL 信号用基準電圧が正しく供給され、SPIRO ボードと VME 読み出しシステムからデータを取得し、 $\beta$  線による影が確認できた。また、図 4.7 へ各チップのクラスターサイズの分布を示す。クラスターは、1 つのコラムの中で連続したヒットとした。つまり、クラスターの大きさは、連続したピクセルの数を  $n$  とすると、 $425 \times (50 \times n) \mu\text{m}^2$  である。チップ 4 とチップ 3 では、クラスターサイズ 3 が多く出現し、大きなクラスター程、出現しにくい傾向に有る。チップ 1 とチップ 2 では、クラスターサイズ 0 がほとんどである。これらのチップにヒットが存在するのは、SPIRO ボードから VME FIFO モジュールへデータを転送する際に、ツイストケーブルを使用した為にノイズがデータに重畳された事と、宇宙線によるヒットをピクセルセンサーが捉えた事が原因と考えられる。以上により、非同期トリガによるハーフラダーの基本的動作と読み出しが成功したと言える。

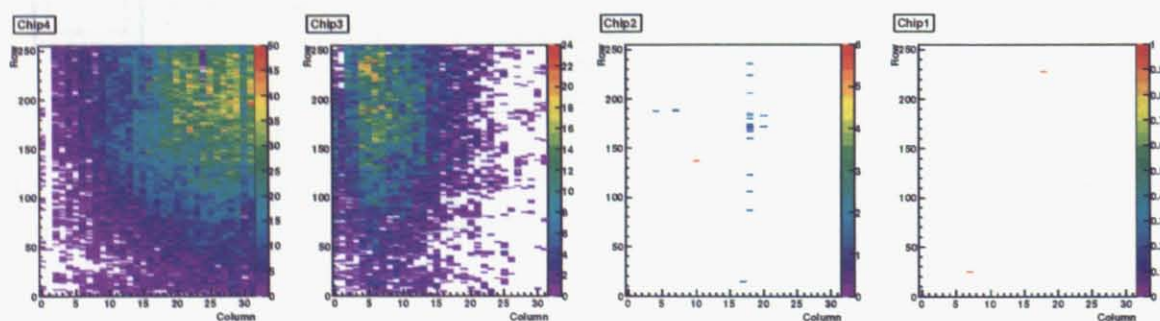


図 4.6: テストハーフラダーのヒットマップ

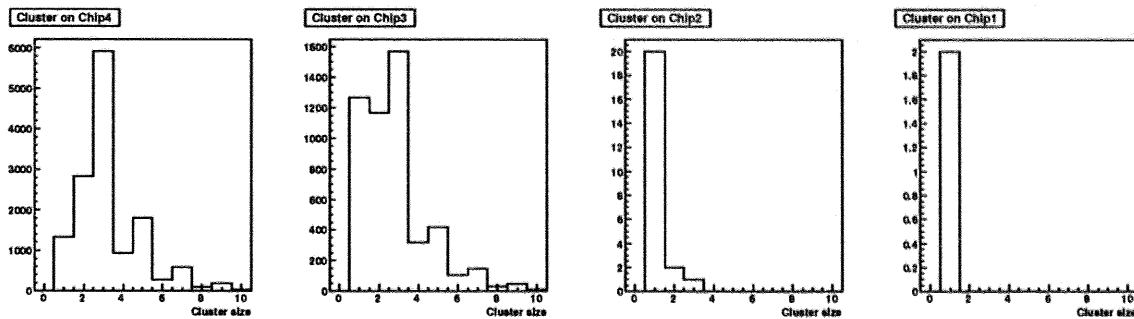


図 4.7: テストハーフラダーの各チップでのクラスターサイズ分布

## 4.4 宇宙線を用いた試験

2006年8月2日から8月4日まで、アメリカ合衆国ニューヨーク州立 Stony Brook 大学で宇宙線の飛跡を捕捉する実験を行なった。この実験では、ハーフラダーの数量が限定されるものの、複数枚のハーフステイプ<sup>2</sup>が予定されている読み出し装置で、PHENIX 実験でのデータストリームに載せられる事を実証する目的も担っていた。

### 4.4.1 セットアップ

ハーフラダーを3枚重ね合わせテレスコープを構成し、宇宙線の軌跡を捉える。2枚重ね合わせたシンチレータと、Layer1 若しくは Layer2 のセンサーハイブリッド A から出力される FastOR の AND 論理でトリガ信号を作る。シンチレータにより重ね合わされた面積は、 $35 \times 60 \text{ mm}^2$  であり、センサーハイブリッドを十分覆える。シンチレータと Layer1 の間隔は 20 mm の間隔が有り、Layer1 と Layer2、Layer2 と Layer3 の間隔はそれぞれ 50 mm である。各ハーフステイプは SPIRO ボードへ接続され、光ファイバーで FEM モジュールと通信する。ヒットデータは、Windows PC から USB ケーブルで読み出される。図 4.8 に宇宙線の飛跡を捉える為のセットアップ図を、図 4.9 にハーフラダーとシンチレータの配置図を示す。

<sup>2</sup>ハーフステイプは2枚のハーフラダーから構成され、センサーハイブリッドが4枚搭載される。



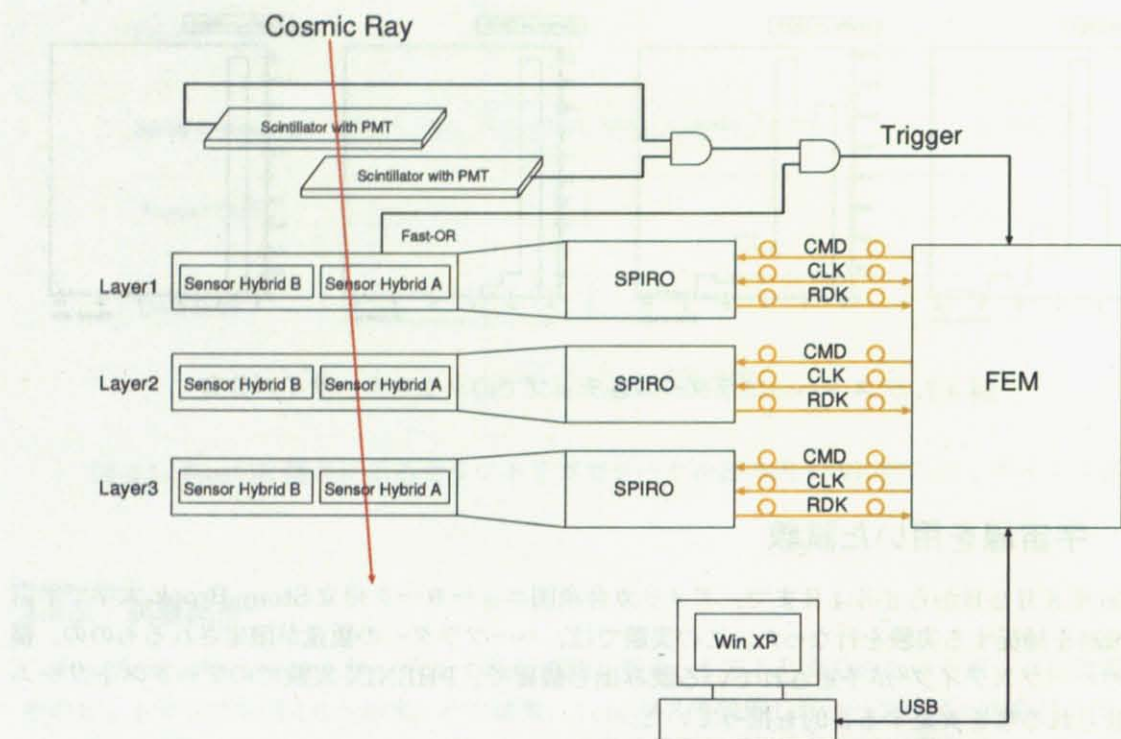


図 4.8: 宇宙線の飛跡を捉えるセットアップ図。ハーフラダーを3枚重ね合わせてテレスコープを構成する。トリガを2枚のシンチレータで作り AND 論理を作り、第1層のセンサーハイブリッドの FastOR との AND をトリガとする。各ハーフラダーは FEM と光ファイバーで通信を行なう。

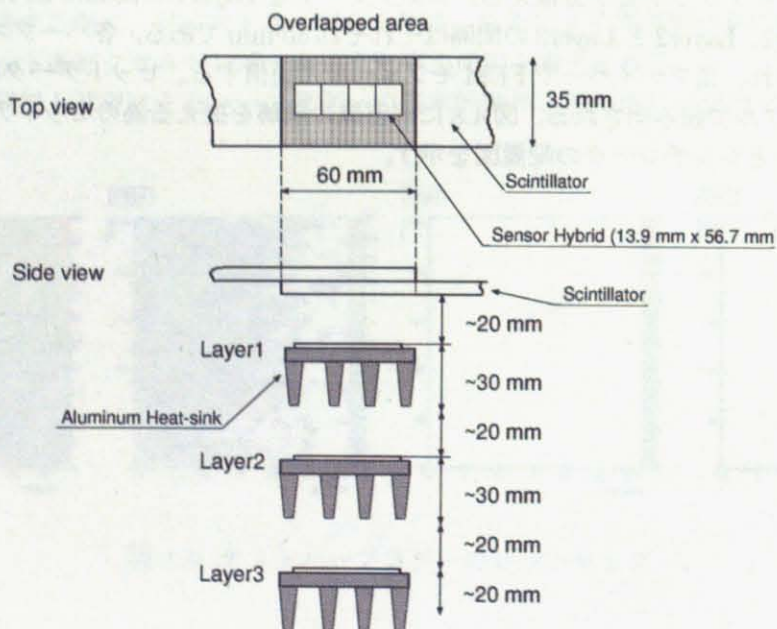


図 4.9: テレスコープのシンチレータと各ハーフラダーの配置図

#### 4.4.2 試験結果

2006年8月2日16:00から8月3日7:00と2006年8月3日16:00から8月3日9:00の両日で実験を行ない、データを取得した。表4.1で取得したデータの内訳を示す。ラン1では、396トリガ取得でき、その内47トリガ分に全てのハーフラダーを宇宙線が通過したイベントを得られた。ラン2では、631トリガ取得でき、その内9トリガ分に全てのハーフラダーを宇宙線が通過したイベントを得られた。しかし、実験期間が限られていた為に統計量は十分ではない。

表 4.1: 宇宙線の飛跡を捉えたデータ中の取得トリガ数と有効トリガ数

ラン	実験日時	データ取得時間	取得トリガ数	有効トリガ数	FastOR トリガ
1	2006年8月2日～8月3日	15時間	396	47	1層目
2	2006年8月3日～8月4日	17時間	631	9	2層目

図4.10に3枚のハーフラダーで構成した望遠鏡を宇宙線が通過したイベントを示す。各ハーフラダーで捉えたヒットで、飛跡を再構成できた。取得したイベントから得た各ハーフラダーのレシディアル分布を図4.11に示す[38]。

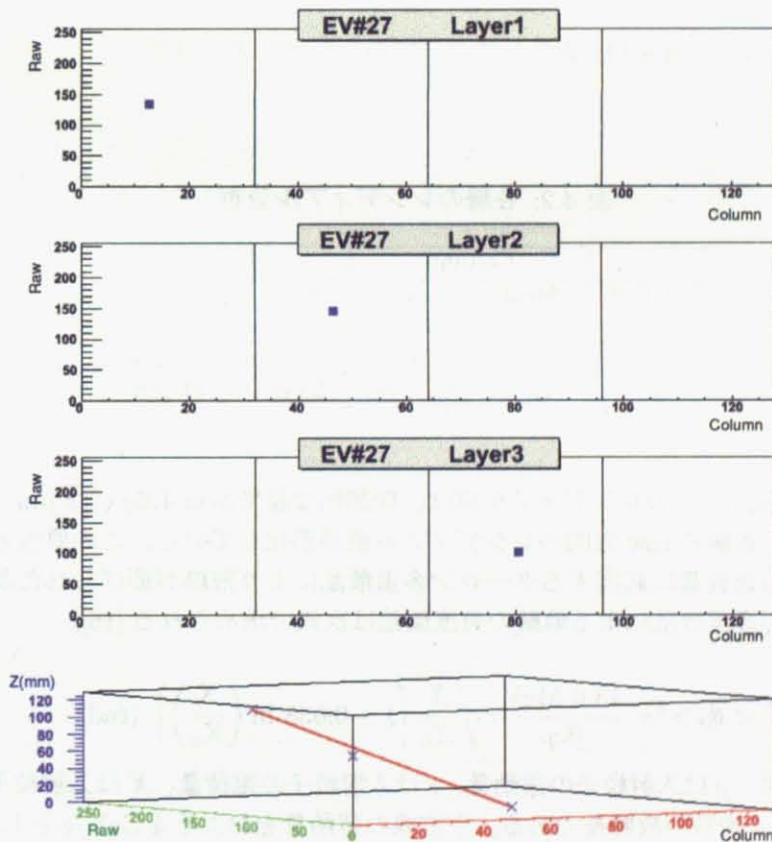


図 4.10: 望遠鏡を宇宙線が通過したイベント。(上図) 各層のセンサーハブリッドを宇宙線が通過した様子。(下図) 宇宙線によるヒットから飛跡を再構成した。

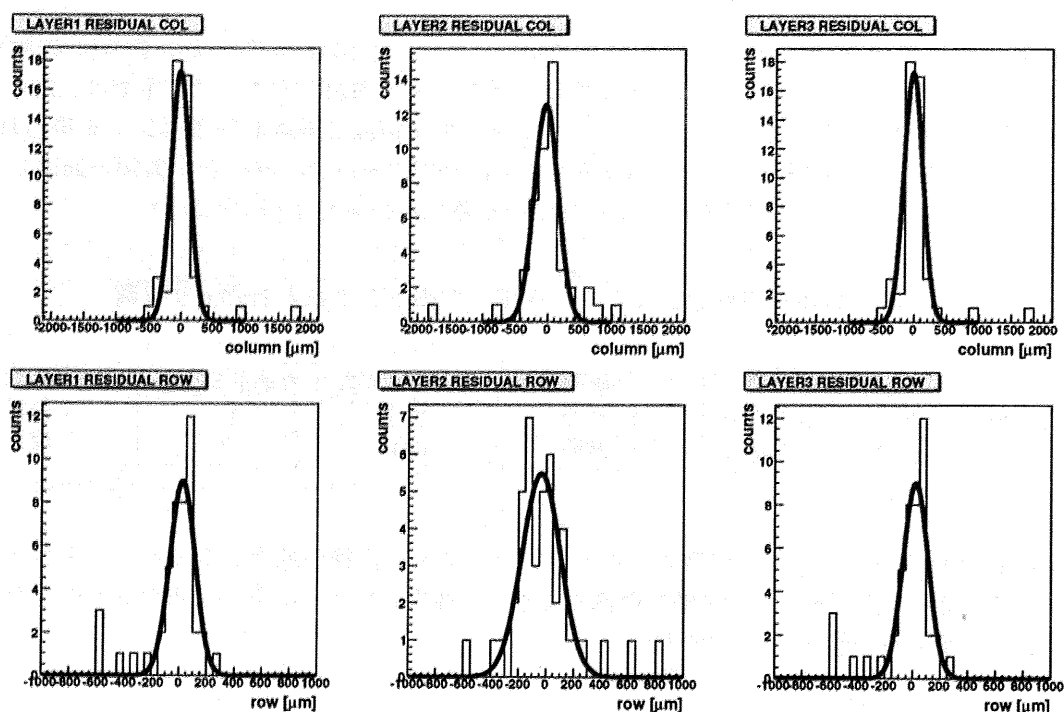


図 4.11: 各テレスコープのレシディアル分布

表 4.2: 各層のレシディアル分布

層の番号	Column		Row	
	Mean	$\sigma$	Mean	$\sigma$
1	$-72 \mu\text{m}$	$127 \mu\text{m}$	$23 \mu\text{m}$	$91 \mu\text{m}$
2	$79 \mu\text{m}$	$116 \mu\text{m}$	$-35 \mu\text{m}$	$140 \mu\text{m}$
3	$-72 \mu\text{m}$	$123 \mu\text{m}$	$23 \mu\text{m}$	$91 \mu\text{m}$

表 4.2 より、column 方向のレシディアル値は、理想的な値である  $425/\sqrt{12} \mu\text{m} = 122 \mu\text{m}$  に近い値が得られたが、各層の row 方向のレシディアル値が悪化している。この原因としては、宇宙線がテレスコープの物質に起因するクーロン多重散乱により飛跡が曲げられた為に生じたと考えられる。クーロン多重散乱による軌跡の角度偏差は次式で求められる [16]。

$$\langle \theta_0 \rangle^2 = \frac{13.6 \text{ MeV}}{\beta c p} z \sqrt{\frac{X}{X_0}} \left[ 1 + 0.038 \ln \left( \frac{X}{X_0} \right) \right] \text{ (rad)} \quad (4.1)$$

$\beta c$  は入射粒子の速度、 $p$  は入射粒子の運動量、 $z$  は入射粒子の電荷量、 $X$  は入射粒子が通過する物質の厚さ、 $X_0$  はその物質の放射長である。宇宙線の運動量をおよそ  $4 \text{ GeV}/c$  とし<sup>3</sup>、テレスコープ 1 層あたりの物質量が  $X/X_0 = 22.5 \%$  であるので、 $\theta_0 = 2.4 \text{ mrad}/\text{layer}$  となった。このことから、宇宙線がテレスコープを通過すると、およそ  $70 \mu\text{m}$  の多重散乱による偏差を生じる。また、今回

<sup>3</sup>実験した場所は、鉄筋コンクリート地上 6 階建の地下 1 階である。



の解析に使用したイベント数が56個と少ない為に、これらが各層のrow方向のレシディアル値の悪化を招いたと原因と考えられる。

## 4.5 まとめ

テストハーフラダーの性能試験を、テストパルス、 $\beta$ 線、宇宙線で行なった。テストパルスを用いる試験では、テストパルスを与えるピクセルの設定とテストパルスを与えないピクセルをマスクする設定を行なえ、データを取得できた。放射線源を用いる試験では、FastORでトリガを生成し、 $^{90}\text{Sr}$ から放射される $\beta$ 線のヒットを捉える事に成功した。宇宙線を用いる試験では、3層のテストハーフステイプでテレスコープを構成し、実機に近いシステムで宇宙線の飛跡のイベントを56個得られた。この事から、3 cm バスの設計に問題が無く、Column 方向で良い位置分解能が示された。

以上の結果から、それぞれの試験におけるデータの取得に成功し、ハーフラダーとして十分な性能を有すると確認できた。

## 第5章 結論

陽子のスピンと QGP の解明を PHENIX 検出器でより精度良く行なう為に、検出器の刷新計画が進行している。この計画では、重いクォークを直接的に測定する事と、 $\gamma$  とジェットの事象から核子中のパートン運動量を再構成する為に、2009 年度までにシリコンピクセル検出器を開発する。これらが可能になると、Dalitz Decay や Photon Conversion が由来のバックグラウンドを排除でき、 $b$  クォークと  $c$  クォークの直接的識別が可能となる。また、検出器のアクセプタンスを広げる事でジェット軸の測定が行なえ、 $\gamma$  とジェットからパートンの運動量を再構成できる。これにより、核子中のグルーオンの偏極度の測定が格段に進むと期待される。

以上を達成するには、検出器全体で半径方向の放射長が 3.2 % 以下の低物質質量である事、DCA の解像度が 40  $\mu\text{m}$  未満、アクセプタンスが  $-1.2 < \eta < 1.2$  かつ  $\phi \sim 2\pi$ 、荷電粒子の運動量の測定分解能  $\sigma_P/P \sim 5\%$  の崩壊点検出器の開発が必要となる。また Level1 トリガ信号は、最大 25 kHz で PHENIX DAQ から送られて来る。この速度に近づける為、ピクセル検出器からのデータ転送時間を最大で ALICE 実験の 5 分の 1 である 51.2  $\mu$  秒としなくてはならない。

極めて短期間で上記性能を満たすピクセル型検出器を開発する為、ALICE 実験と LHCb 実験用に開発された読み出しチップ及びピクセルセンサー、データ処理用 ASIC の技術を利用した。PHENIX の読み出し速度の要求を満たす為の高速化は、データ転送の並列化とハーフラダーのデータ線の総数を 128 ビットと高密度化したバス基板を製作する事で達成可能である。これらの要求を全て満たすシリコンピクセル検出器の開発が行なわれて来た。本論文では、シリコンピクセル検出器の制御、データ転送を行なう低物質質量、高密度信号バス基板 (1.5 cm バス) の開発を行ない、製造までを論じた。

1.5 cm バスの回路評価用に 3 cm バスでハーフラダーを製作し、テストパルス及び  $\beta$  線のヒット、宇宙線の飛跡を捉えられた。テストパルスを用いる試験では、ハーフラダー上の各読み出しチップへの閾値の設定、テストパルスを与えるピクセルの定義及び、与えないピクセルへのマスクを行なってデータを読み出し、デジタルパイロット ASIC が出力する 32 ビットのパラレルデータからヒットデータを抽出できた。放射線源を用いる試験では、各読み出しチップから出力される FastOR 信号でセルフトリガを作り、それを読み出しチップへ与えて  $\beta$  線のヒットを取得できた。宇宙線を用いる試験では、ハーフラダーを 3 枚と、実機とほぼ同様の装置で宇宙線の飛跡の捕捉に成功した。以上の試験結果より、PHENIX 仕様に非常に近いハーフラダーとその読み出しシステムの動作を確認できた。

1.5 cm バスは、バスの幅を 13.9 mm まで抑えられ、128 ビット幅のデータ転送を行なえる。物質質量は 0.22 % となった。完成品の電気抵抗の測定値とシミュレーションで予想した電気抵抗値がよく一致し、エッチングとスルーホール品質が高い事が証明された。また、伝送特性の測定ではパルスを 1.5 cm バスで伝送させ、それをオシロスコープで信号遅延時間と伝送されたパルスを観測した。その結果、HSPICE シミュレーションの結果と良く合うと確かめられた。

以上により、シリコンピクセル検出器に必要な仕様である機械的、電気的そして物理測定による制約全てを満たす 1.5 cm バスが開発でき、2009 年度までに PHENIX 検出器に設置するシリコンピクセル検出器の製作に必要な全ての技術は確立されたと結論する。

## 謝辞

学生生活の集大成とも言える本学位論文の執筆に際し、思い返せば様々な方にお世話になりました。学部4年生の時に、新潟大学理学部物理学科高エネルギー物理学研究室に配属になって以来、田村詔生教授、宮野和政教授、宮田等助教授、川崎健夫助手には実験のいろはから教えて頂きました。また、大矢進教授には核物理学の授業でお世話になりました。同時に、高エネルギー物理学研究室の学生の皆様にもお世話になりました。特に、坂本泰伸博士、佐治超爾博士、岩井剛博士、満田史織博士、小野裕明氏、渡辺みのり氏には研究室配属以来から公私共々にお世話になりました。

博士後期課程1年次からは、独立行政法人理化学研究所延興放射線研究室の皆様にお世話になりました。延興秀人博士、秋葉康之博士、大西宏明博士、狩野博之博士、竹谷篤博士には、実験哲学を教えて頂きました。秘書の木山紀子氏には、事務上の手続き等で御支援頂きました。また、東城順治博士、浅井淳吉博士、小貫良行博士、黒澤真城博士、一宮亮博士には、実験現場において昼夜を問わず御指導を頂きました。

博士後期課程在籍中に約1年間、CERNにてALICE Silicon Pixel Detector グループのGiorgio Stefanini 博士、Petra Riedler 博士、Alexander Kluge 博士、Paul Nulsson 博士、Fadmar Osmic 氏には、本研究の題材であるシリコンピクセル検出器の開発で、特にウエハーの検査からセンサーハイブリッドの製造、検査を通じて様々な事柄を教えて頂きました。それまで外国人と接した事の無かった私にとって、非常に良い経験が出来ました。

シリコンピクセル検出器の根幹であるバス基板の開発では、林栄精器株式会社の近野和夫氏と星屋博一氏の幅広い人脈から、優秀な技術、技能を持った方々の紹介を頂き、開発の知恵をお借りしました。設計過程においてエーピーエヌ株式会社の手嶋聡氏と竹内康裕氏に、製造工程では東海電子工業株式会社の松尾耕三社長、高見早千氏に担当頂きました。これら優秀な技術者と熱意の有る営業マンが居なければ、本検出器は製作が出来ませんでした。

東京都立産業技術高等専門学校の渡辺静意教授と大古殿秀穂教授には、私が旧東京都立航空工業高等専門学校在学中から大変お世話になりました。また、高野邦彦講師には、バス基板の評価に関して電子工学者としての立場から御助言を頂きました。向後美保氏にはバス基板の設計時に熱計算を手伝って頂きました。電気通信大学の山本純太氏には、ハーフラダー製造の組み立てに力を貸して頂きました。

検出器の組み立てとワイヤボンディング工程では、林精密電子株式会社の浜渦新一郎工場長、磯川勝典氏、中村彰義氏、菅原謙三氏に担当頂きました。エクステンダの製造では、太洋工業株式会社の長谷川友紀氏、上山弘起氏に担当頂きました。

シリコンピクセル検出器の読み出しボードであるSPIRO ボードを開発したÉchole Polytechnique のMichel Gonin 教授、Raphael Granier de Cassagnac 博士、Olivier Drapier 博士、Franck Gastaldi 氏、Simon Chollet 氏、Ermias Tujuba Atomssa 氏には、SPIRO ボードとの接続方法でお世話になりました。彼らの協力により、本論文でのテストベンチを製作し、動作させる事ができました。シリコンピクセル検出器で宇宙線を捉える実験では、ニューヨーク州立Stony Brook 大学のCharles Pancake 氏、Eugene Shafto 氏、Columbia 大学 Nevis 研究所のEric Mannel 博士、Cheng-Yi Chi 博士には、夏期の2週間の忙しい中、実験に協力して頂きお世話になりました。



最後に、両親には、私を産み、そしてここまで育み、更に、長きに渡る学生生活を快諾して頂いた事に感謝致します。我が妻千佳子の献身的な支えが有り、本論文の執筆が出来ました。また、彼女の両親には学位取得までの間、特に精神的な支援を頂きました。

以上を鑑みると、本研究は様々な方々との縁と相互作用で成就出来たのだと思います。幸いにも、我が娘千代子が平成19年1月に誕生し、以上の事柄を切に感られる様になりました。皆様への感謝の言葉を私の拙い語彙で表せない事がもどかしい処ですが、これを謝辞と致します。

## 付 録 A 読み出しチップとセンサーハイブリッドの検査

### A.1 読み出しチップの検査

ALICE1LHCb 読み出しチップは、8 インチのシリコンウエハー上に 86 個同時に製造される。このウエハーの検査は、クリーンルーム内に設置された半自動プローブステーション上で行われる。プローブステーションは、検査対象物を  $x$ 、 $y$ 、 $z$ 、 $\theta$  方向へ動かすチャックと、対象物を観察する光学顕微鏡を備えている。読み出しチップは、放射線耐性を備え、かつアナログ回路とデジタル回路がチップ上に搭載されているので歩留まりが低い。その為に、チップがウエハーに搭載された状態で手動で検査を行う。

#### 検査方法

ALICE1LHCb 読み出しチップは、図 A.1 に示す様な検査システムで検査が行なわれる。検査では、読み出しチップのパッドに検査針を接触させ、VME インターフェイスカードからの制御信号と電源を読み出しチップに与え、制御と動作を行なう。VME のインターフェイスカードは、Windows PC 上の LabView で開発されたアプリケーションを用いて動作が行なわれる。

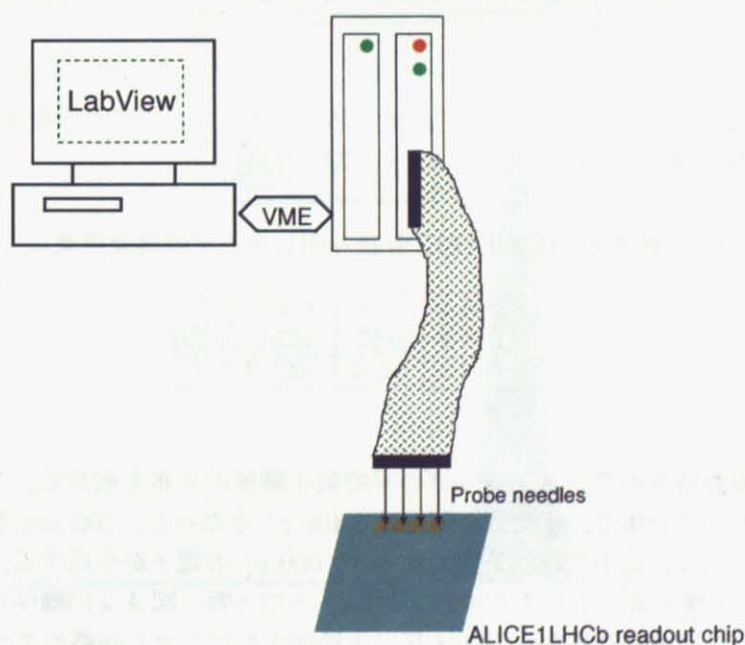


図 A.1: ALICE1LHCb 読み出しチップの検査システムの概念図

ウェハー上の読み出しチップは、3つのクラスに分類される。センサーハイブリッドとなるチップをクラス1、動作はするが、センサーとして使用しないチップをクラス2、全く使用不能なチップをクラス3とした。ウェハーの検査終了後には、クラス分けしたチップの位置をウェハーマップ上に記す。以下に検査項目を示す。

### 検査項目

1. チップの消費電流を測定する。
  - アナログ回路の消費電流が 350 mA 以下であること。
  - デジタル回路の消費電流が 270 mA 以下であること。
2. JTAG 回路が正常であること。
3. 44 個の DAC に線型性があること。
4. 読み出しチップの閾値が  $1,980 e^-$  未満であること。
5. ノイズピクセルをマスク出来ること。
6. 動作しないピクセル数が全体の 1 % (82 個) 未満であること。
7. FastOR 信号を出力すること。

上記の全ての項目に合格した場合には、クラス1と分類される。ウェハーの検査結果を以下の表 A.1 で示す。項目 4、項目 5、項目 6 の内、1 つでも適合しない場合はクラス2に分類される。項目 1、項目 2、項目 3、項目 4 の内、1 つでも適合しない場合はクラス3に分類される。

### 検査結果

表 A.1 に ALICE1LHCb 読み出しチップの検査結果を載せる。ウェハーを 22 枚検査し、クラス1チップは 692 個得られた。歩留まりは、37 % となった。

表 A.1: ALICE1LHCb 読み出しチップの検査結果

クラス1	37 %	692 チップ
クラス2	9 %	174 チップ
クラス3	54 %	1026 チップ

図 A.2 に、全検査済みのクラス1チップの平均最小閾値の分布を載せる。この結果、クラス1である読み出しチップ全体で、平均最小閾値は  $1,498 e^-$  となった。200  $\mu\text{m}$  厚のシリコンピクセルセンサーにおいては、最小電離粒子により  $\sim 15,000 e^-$  の電子が生成する。図 A.3 にクラス1チップの平均ノイズ値を載せる。ノイズ値は  $116 e^-$  となった。図 A.4 に動作ピクセル数のヒストグラムを載せる。この検査結果から、99.8 % 以上動作するピクセル回路のクラス1チップが多く占める。



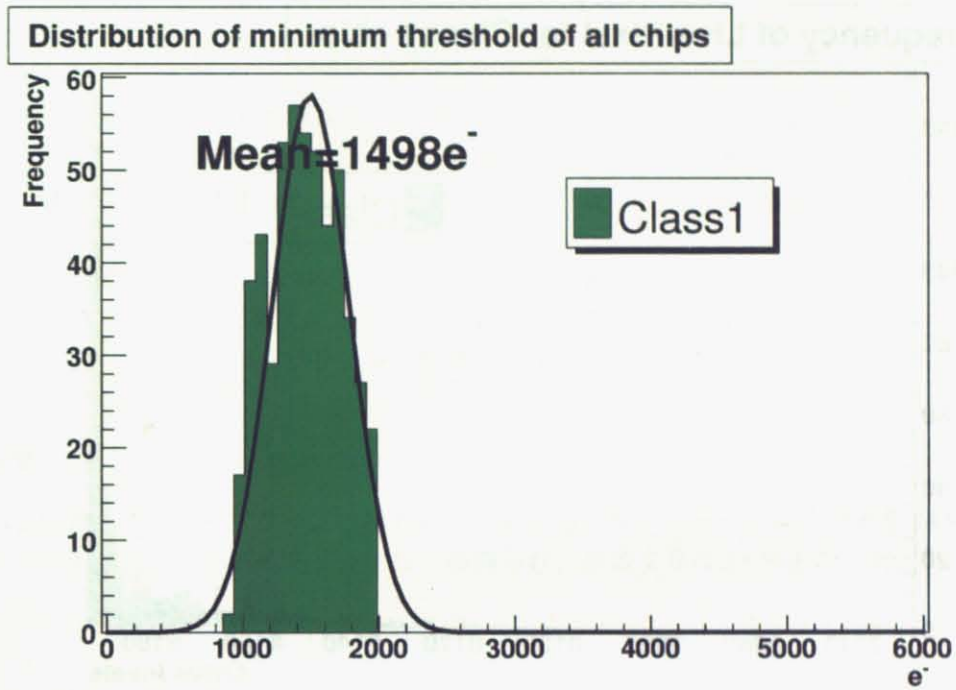


図 A.2: クラス 1 チップの平均最小閾値のヒストグラム

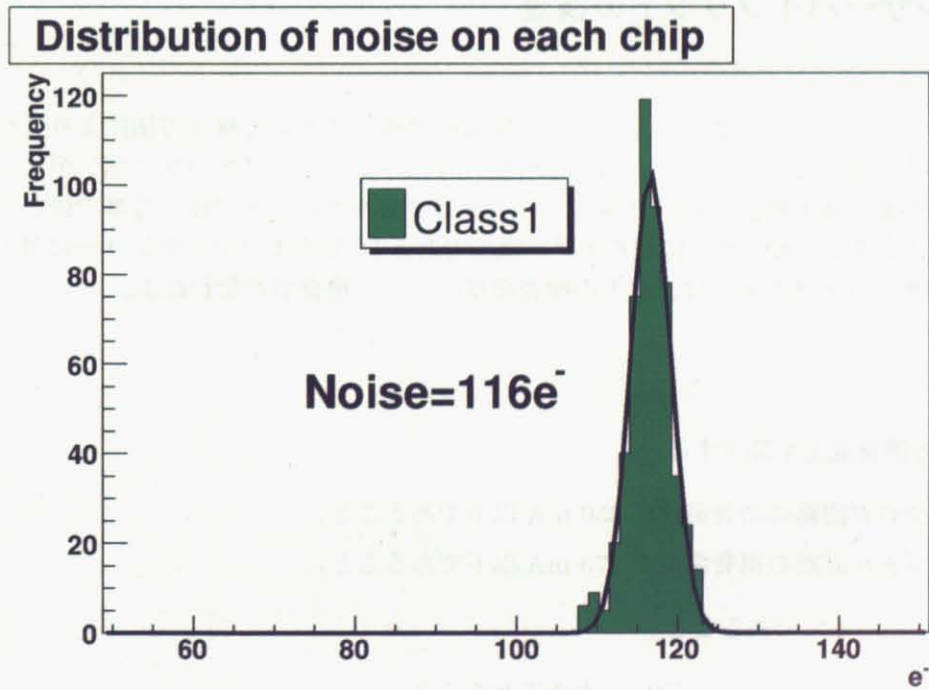


図 A.3: クラス 1 チップの平均ノイズ値のヒストグラム

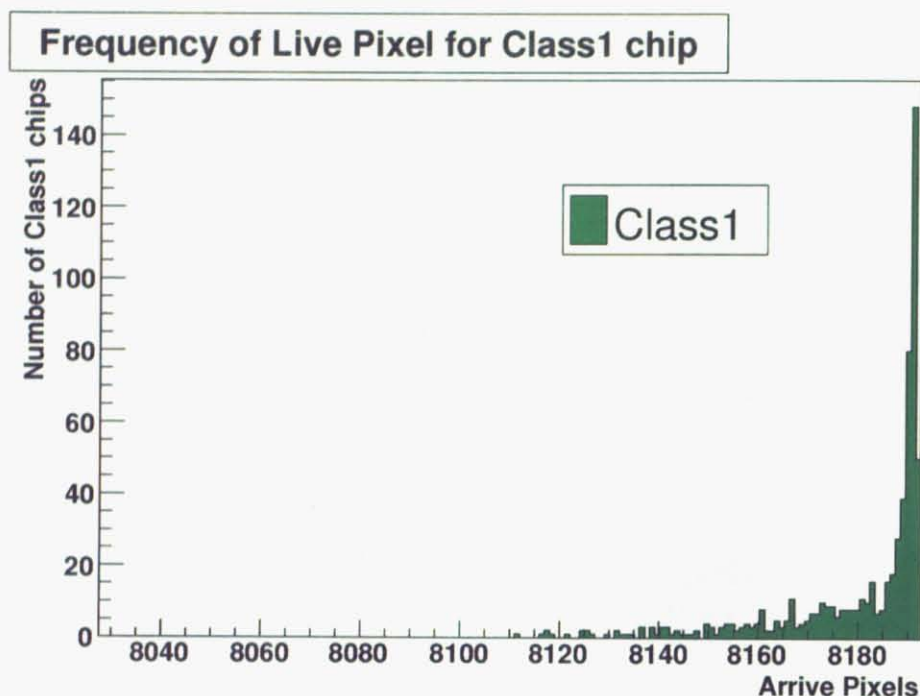


図 A.4: クラス 1 チップに対する動作ピクセル数の関係

## A.2 センサーハイブリッドの検査

### 検査方法

センサーハイブリッドは、読み出しチップと同様の検査システムと検査方法により 3 つのクラスに分類される。ピクセルセンサーと ALICE1LHCb 読み出しチップがバンプボンディングで接続されているかを、放射線源からの  $\beta$  線のヒットをピクセルセンサーで捉える事で確かめる。この検査時には、ピクセルセンサーに逆バイアス電圧である 50 V がピクセルセンサーに対して印加される。センサーハイブリッドは、以下の検査項目について検査が行なわれる。

### 検査項目

1. チップの消費電流を測定する。
  - アナログ回路の消費電流が 350 mA 以下であること。
  - デジタル回路の消費電流が 270 mA 以下であること。
2. JTAG 回路が正常であること。
3. 読み出しチップの閾値が  $3,600 e^-$  未満であること。
4. ノイズピクセルをマスク出来ること。
5. 動作しないピクセル数が全体の 1 % (82 個) 未満であること。

6. FastOR 信号でセルフトリガを掛け、 $\beta$ 線のヒットを捉えられること。

7. バンプボンディングが 99 %以上成功していること。

センサーハイブリッド上の読み出しチップのクラスの定義は、読み出しチップの検査時と同様に全ての項目に合格した場合はクラス 1 と分類される。項目 5、項目 6、項目 7 の内、1 つでも適合しない場合はクラス 2 に分類される。項目 1、項目 2、項目 3、項目 4 の内、1 つでも適合しない場合はクラス 3 に分類される。

センサーハイブリッド上の 4 つの読み出しチップが合格した場合、クラス 1 と分類される。また 4 つのチップの内、1 つでもクラス 2 やクラス 3 のチップが存在する場合にはクラス 2 及びクラス 3 と分類される。センサーハイブリッドの検査結果を表 A.2 で示す。

### 検査結果

表 A.2 にセンサーハイブリッドの検査結果を載せる。センサーハイブリッドを 24 個検査した結果、クラス 1 のセンサーハイブリッドは 8 個得られ、歩留まりは 33 % となった。

表 A.2: センサーハイブリッドの検査結果

クラス 1	33 %	8 個
クラス 2	8 %	2 個
クラス 3	59 %	14 個



### A.3 JTAG 規格

JTAG とは、Joint Test Action Group の略称であり、IC チップの検査方法の一つであるバウンダリスキャンテストの一種として開発された。1990 年に、IEEE std. 1149.1-1990 Standard Test Access Port and Boundary-Scan Architecture として標準化された [25]。JTAG に対応した IC には、本来の機能の他に JTAG に対応した回路と表 A.3 で示す TAP (Test Access Port) と呼ばれる 5 本の端子から構成されるインターフェイスを持ち、テストデータの入出力と制御を行なう。TAP コントローラは、TMS 信号と TCK 信号によって JTAG レジスタを制御する図 A.6 の様に遷移する 16 ステートマシンである。

デバイス内部には、デバイス本来の機能を行うための内部ロジックの他に、バウンダリスキャンレジスタ、インストラクションレジスタ、バイパスレジスタ、オプションレジスタと、それらを制御する TAP コントローラで構成されるテストロジックが内蔵される。

デバイスの内部には図 A.5 に示す様に、内部ロジックと各デバイスピンとの間に、セルと呼ばれるシフトレジスタが配置される。これらのセルにより、各ピンで発生する事象を観測したり制御する事が可能となる。このセルは、従来のテスト針と等価な働きをするのでシリコン針 (Silicon nail) とも呼ばれている。そのセルを一連に接続したものがバウンダリスキャンレジスタである。JTAG テストを行うには、回路を構成しているデバイスが、このテスト方法を準拠していることが前提となる。

図 A.5 のインストラクションレジスタは、命令ビットを読み込み、デバイスに各種の機能を実行させる事ができる。デバイス毎に、実装する命令の種類や命令コードの割り当てが異なるので、インストラクションレジスタの長さは一様ではない。

バイパスレジスタは、TDI 信号ピンから入力されるデータを、最短経路で TDO 信号ピンへバイパスさせる経路を提供する。これは、回路基板上に複数の JTAG 対応デバイスが実装されている場合に、それらは直列接続されている為、試験が不要であるデバイスをバイパスさせる時に使用する。この方法により試験を高速化させる事ができる。

IDCODE レジスタは、デバイスおよび製造メーカーなどを識別する 32 ビット長のレジスタである。現状ではこのレジスタを実装しているデバイスは少ない。

表 A.3: TAP の信号線の種類と機能

TAP の信号線	機能
TDI (Test Data In)	テストロジックに対し、命令やデータをシリアル入力する信号。 TCK の立ち上がりエッジでサンプリングされる。
TDO (Test Data Out)	テストロジックからのデータをシリアル出力する信号。 TDO の出力値の変更は TCK の立ち下がりエッジで行う。
TCK (Test Clock)	テストロジックにクロックを供給する。シリアルテストデータ経路をコンポーネント固有のシステムクロックと独立して使用できる様にする専用入力である。
TMS (Test Mode Select)	テスト動作を制御する信号で TCK の立ち上がりエッジでサンプリングされる。 この信号は TAP コントローラがデコードする。
TRST (Test ReSeT)	TAP コントローラを非同期に初期化する負論理信号で、オプションである。 TMS が "H" 状態で、TCK の立ち上がりエッジを 5 回検知した場合にもこの状態となる。

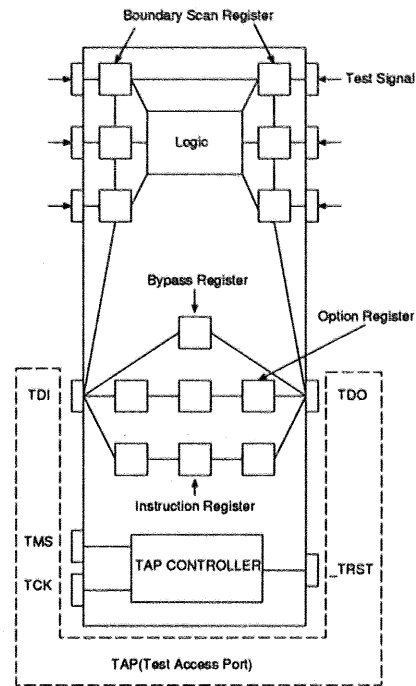


図 A.5: JTAG 対応デバイスの内部構成

### JTAG TAP コントローラ

JTAG における制御は図 A.6 に示す TAP コントローラが基本である。この動作は、16 ステートの遷移によって表される。

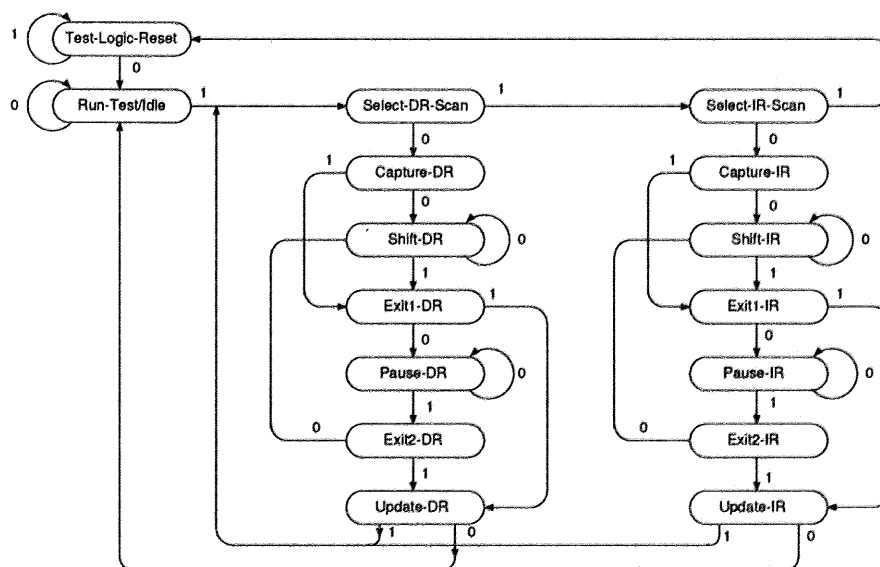


図 A.6: JTAG TAP コントローラの遷移図

ステート名の周囲に示される数値は、ステートが遷移する時の TMS 信号の値である。遷移は、TCK 信号の立ち上がり時の TMS 信号の値により決定される。TAP コントローラのステートには、ステート名の一部が DR (データレジスタ) となる左側の縦パスと、IR (インストラクションレジスタ) となる右側の縦パスの 2 つの主要パスがある。DR とはバウンダリスキャンレジスタやバイパスレジスタ、またはオプションの IDCODE レジスタや USERCODE レジスタ等を意味し、直前に実行された命令の種類によって、その中の 1 つが選択される。TAP コントローラの 16 有るステートの中では、特に Capture、Shift、Update の動作が重要であり、他は一時的なステートであったり、流れを切り替えるためのステートである。3 つの主要ステートについて以下に説明する。

#### 1. Capture ステート

Capture ステートは、入力からシフトレジスタへデータを獲得する動作を行う。つまり、バウンダリスキャンレジスタが選択されている時に Capture-DR ステートを通過すると、入力セルの場合には IC ピンの状態が取り込まれてシフトレジスタに設定される。また、出力セルの場合には、内部ロジックが出力している状態がシフトレジスタへ設定されることになる。

#### 2. Shift ステート

シフトレジスタの内容が TDO 信号ピンにシフト出力され、新しいデータが TDI 信号ピンからシフト入力される。このステートを 1 回通過すると、TDI 信号ピンと TDO 信号ピンに接続されているレジスタの内容が、1 ビット分シフトする。

従って、このステートは、必要なデータや命令のビット列が希望する位置に行き着くまで TMS 信号を 0 に保ち、必要な回数だけ TCK 信号を繰り返し与える。

#### 3. Update ステート

このステートを通過するとき、シフトレジスタの内容がラッチに固定される。固定された内容は、バウンダリスキャンレジスタの場合には、実際にセルの出力として現れ、インストラクションレジスタの場合には、命令としてデコードされ、その後にその機能が有効となる。



## A.4 ALICE1LHCb 読み出しチップの動作方法

### A.4.1 基本動作

#### JTAG インターフェイス

ALICE1LHCb 読み出しチップには、JTAG 準拠のインストラクションレジスタ、バウンダリスキャンレジスタ、バイパスレジスタ、データレジスタの他に前段のチップの動作を確認するレジスタが付属する。読み出しチップでの JTAG のクロックは最大 10 MHz である [21]。読み出しチップは、図 A.7 の様に接続され、TMS、TCLK、TRESET、TDI0、TDI1、TDO の信号ポートを持つ。TDI0 は、チップをカスケード接続した際に前段のチップの TDO へ接続される。TDI1 は前々段のチップの TDO へ接続される。この接続方法と後述するスキャンチェック回路により、チップの故障が有る場合でも JTAG 経路を確立できる。

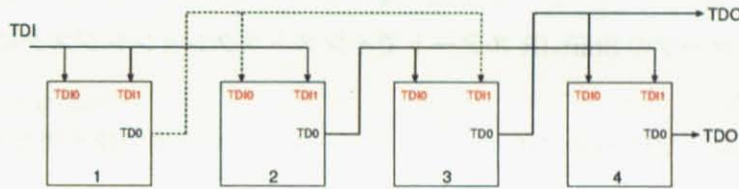


図 A.7: 読み出しチップの JTAG 接続

#### インストラクションレジスタ

読み出しチップのインストラクションレジスタは4ビットで構成され、リセット後にレジスタは1111 となりバイパスモードに設定される。キャプチャーされる値は、常に 1101 である。これらのインストラクションレジスタは、後述するデータレジスタを選択する機能を持つ。7個のインストラクションが表 A.4 により与えられる。

表 A.4: ALICE1LHCb 読み出しチップのインストラクションレジスタ

インストラクションレジスタ名	コード
SeL_EXTEST	0000
SeL_ENBL	0001
SeL_THR	0010
SeL_TM	0011
SeL_GLOBAL	0100
SeL_SP (sample/preload)	0110
SeL_BYPASS	1111

#### スキャンチェック回路

スキャンチェック用の回路は JTAG 規格には無く、読み出しチップに特化した機能である。この機能により、シリアル接続された途中のチップが故障した場合でも JTAG の経路が確立される。

1. スキャンチェックの動作は、図 A.6 に示す TAP コントローラ中の Test-Logic-Reset の動作後に行われる。この動作は、チップ  $n-1$  のキャプチャー動作 (1101) が次のチップ  $n$  のインストラクションレジスタへシフトされる事で成立する。図 A.6 のインストラクションレジスタのパス中で、Select-IR-Scan→Capture-IR→Shift-IR →Update-IR→Run-Test/Idle と遷移する。
2. インストラクションレジスタの値 1101 は Update-IR ステートで比較され、1101 とならない場合は前段のチップに問題があると判断される。その場合は TDI1 の線を選択し、前段のチップを回路から切り離す。

### データレジスタ

読み出しチップの動作決定はデータレジスタで行う。以下の手順でデータレジスタが読み込まれ、チップの動作が確定する。

1. TAP コントローラの Shift-IR ステートでインストラクションレジスタに対応するコード値を書き込む。
2. TAP コントローラの Shift-DR ステートでデータレジスタ中の設定用ビットへ書き込む。

表 A.5: ALICE1LHCb 読み出しチップのデータレジスタ

データレジスタ名	レジスタ数	設定用ビット長	インストラクションレジスタ
Pixel column	32	256	Sel_THR, Sel_TM
Enable register	1	7	Sel_ENBL
Global register	44	8	Sel_GLOBAL
Bypass register	1	1	Sel_BYPASS
Scan-check register	1	1	Sel_SCAN_CHK
Boundary-scan register	1	38	Sel_SP, Sel_EXTEST

各データレジスタは、以下の様に動作する。

1. 各ピクセルには、5 個の設定用レジスタ (TEST, MASK, THRESHOLD ADJUST 0,1,2) と JTAG チェイン中に 1 個のフィリップ・フロップを持つ。これらのビットはチップがリセットされると全て 0 となる。
2. Enable register (Sel\_ENBL) と Global register は、ピクセルのコラムアドレスを設定する際に使用される。リセット後の値は 0000000 となり、保持される値は常に 0000000 である。
3. Global register は内部 DAC とパイプラインの遅延時間の設定用である。リセット後の値は 10000000 である。
4. Bypass register は JTAG 規格に従う。リセット後の値は 0、また、キャプチャー値も 0 となる。
5. Scan-check register は、スキャンチェックの結果を保持する。リセット後は 0 (TDI0 を選択) となる。
6. Boundary-scan register は JTAG 規格に従い、I/O ピンへのアクセスを許可する。

### バイパスレジスタ

Sel\_BYPASS でバイパスモードが選択される。バイパスレジスタの長さは1ビットであり、常に0を保持する。

### スキャンチェックレジスタ

Sel\_SCAN\_CHK でスキャンチェックモードが選択される。スキャンチェックレジスタ長は1ビットである。このレジスタが選択されると、読み出しチップのスキャンチェックの結果が保持される。スキャンチェックの結果から、読み出しチップの故障が判断できる。

## A.4.2 内部 DAC の設定方法

ALICE1LHCb 読み出しチップ内部の DAC の動作設定は、次の2つの手順でグローバルレジスタを設定する。

### 1. DAC アドレスの選択

- (a) イネーブルレジスタ Sel\_ENBL (0001) を選択する。
- (b) DAC のアドレスをイネーブルレジスタに書き込む。表 A.6 へ DAC アドレスの設定ビットを示す。A0-A5 のビットで DAC のアドレスを指定する。  
また、DAC\_OUT\_EN が真であれば、DAC の設定値を電圧で出力パッド (DAC\_SENCE\_V、  
或は DAC\_SENCE\_I パッド) で測定できる。

表 A.6: 内部 DAC の設定用ビット列

MSB							LSB
DAC_OUT_EN	A5	A4	A3	A2	A1	A0	

### 2. DAC 値のグローバルレジスタへの書き込み

- (a) グローバルレジスタ Sel\_GLOBAL (0100) を選択する。
- (b) 8ビットの DAC 値をグローバルレジスタに書き込む。

以上の動作を 44 回繰り返し、読み出しチップの全ての DAC を設定する。



### A.4.3 ピクセルコラムの設定方法

ピクセルコラムの動作を決めるには、次の手順を経る。Sel\_THR はコラムの閾値を設定する場合、Sel\_TM はコラムをマスクする場合に使用する。

#### 1. コラムの選択。

- (a) イネーブルレジスタ Sel\_ENBL (0001) を選択する。
- (b) コラムのアドレスとコラムへの動作を Enable register へ書き込む。コラム番号と動作選択用のビットを表 A.7 の様に 7 ビットで指定する。A0 から A4 のビットはコラムアドレス (0-31) を選択する。BIT\_1 と BIT\_0 は表 A.8 で示す設定を決定する。

表 A.7: 設定を行うコラムと動作の選択用ビット列

MSB							LSB
BIT_1	BIT_0	A4	A3	A2	A1	A0	

表 A.8: Configuration register の動作選択ビット

BIT_1	BIT_0	Sel_THR の動作	Sel_TM の動作
0	0	何も行わない	
0	1	THRESH B0	TEST
1	0	THRESH B1	MASK
1	1	THRESH B2	

#### 2. 設定の書き込み。

- (a) Sel\_THR か Sel\_TM インストラクションレジスタを選択する。
- (b) Sel\_ENBL で指定したコラムへ 256 ビットのコラムのデータをシフトする。  
Configuration bit を書き込むには、Sel\_THR あるいは Sel\_TM インストラクションレジスタが選ばれ、BIT\_0 と BIT\_1 を設定して決定される。表 A.9 でコラム 9 番をマスクする場合の Enable register の設定例を示す。

表 A.9: コラムの設定用のビット列

MSB							LSB
1	0	0	1	0	0		1

#### A.4.4 データの読み出し

読み出しチップ中のデータを読み出すには、次に示す信号が必要となる。

##### チップのリセット

電源投入後は、チップの状態が不定であるのでリセット動作を直ちに行う。リセット動作を行うには、以下の3つのリセット信号をチップへ送る。それぞれは非同期的に行われる。

- TRESET\*
  - JTAG コントローラ、全ての Configuration register、ピクセルセル中のラッチ (TEST, MASK, THRESHOLD ADJUST) をリセットする。
- DATA\_RESET\*
  - デジタル回路全体のリセット用であり、遅延回路、FIFO、データ出力用シフトレジスタ、周辺回路をリセットする。
- SHIFT\_RESET\*
  - 出力用シフトレジスタのリセットのみに使用される。このシフトレジスタはDATA\_RESET\*でもリセットされる。
- インストラクションレジスタへの 1101 の書き込み
  - 上記のリセットコマンドを実行後に、読み出しチップのインストラクションレジスタへ 1101 を書き込む。これにより、スキャンチェック動作が行われ、各チップの TDI1/TDI0 の経路が選択される。

TRESET\* と DATA\_RESET\* は電源投入後直ちに読み出しチップへ送らねばならない。それらは、少なくとも 100 n 秒間は真を保持しなくてはならない。

##### クロック

読み出しチップは、クロック信号 (CLK) と極性が逆のクロック信号 (CLK\*) が必要である。それらはシングルエンドの信号であり、最大クロック 10 MHz、デューティ比 50 % で動作する。

##### テストパルス

テストパルスをピクセルセルへ入力し、その結果を FIFO へ保存するには以下の制御信号が必要である。

- STROBE\*
- TEST\_PULSE\*
- CLK/CLK\*

STROBE\* は、First Level Trigger (Level-1 トリガ) であり、入力されるとデータが FIFO へ転送される。

### トリガ

次の制御信号で、読み出しチップからデータを読み出す。

- NEVR\* (Next-Event-Read)
- CE\* (Chip Enable)
- CLK/CLK\*

NEVR\* 信号は FIFO からデータをシフトレジスタへ移す信号である。CE\* 信号は、データを読み出すチップを選択する。イベントを読み出すには以下の手順に従う。

1. NEVR\* と CE\* は同時に読みだしチップへ入力される。
2. CE\* により、シフトレジスタへクロックを供給し、データを出力する。

NEVR\* が、シフトレジスタを動作中に入力された場合、シフトレジスタの動作を停止させるか、シフトレジスタ中のデータを上書きしてしまう。CE\* 信号の長さは、データをシフトアウトする量を決める。読みだしチップ中では、シフト動作は CLK の立ち下がりで行われる。

### アボート動作

ABORT\* 信号によりアボート動作が行われ、4 ビット FIFO へデータを待機させることを中断する。NEVR\* と同じタイミングと時間幅で送られ、CE\* とのコインシデンスを取る。



## 付 録 B 電磁両立性 (EMC)

### B.1 EMC 対策

シリコンピクセル検出器は、電磁波、静電気、放電、電力線等による障害が存在する環境下で、誤動作無く動作しなくてはならない。また、検出器が他の検出器などへ与える障害も最小限にしないなくてはならない。

一般に、製品の障害に対する耐性と製品が出す障害の制限を EMC (電磁両立性: ElectroMagnetic Compatibility) と呼ぶ。これらを念頭においてバスの設計を行なう。必要な対策を以下に述べる。

#### B.1.1 自己干渉両立性とシグナルインテグリティ

EMC に関係する項目には、自己干渉両立性 (Self-compatibility) がある。これは、製品内部である回路が他の回路に障害を与えない概念である。デジタルシステムでは、デジタル信号をアナログ的な視点から規定するために、シグナルインテグリティ (信号波形の忠実度: Signal Integrity) という概念を用いる [33]。理想的なデジタル信号は方形波であるが、高速なシステム上ではその信号波形が崩れる事もある。

実際のデジタル信号の立ち上がり時間は有限である。伝送線路における反射やトランジスタ自身を含む部品の寄生リアクタンスにより、リンギングと呼ばれる振動現象が起こる。

また、オーバーシュート、アンダーシュート、及び階段状波形の歪み等が起こる。原因としては、次の事柄が挙げられる。

- 不適切な基板レイアウト
- 伝送線路の特性に対する不理解
- 他の信号との相互干渉
- 駆動回路の過負荷

これらが、デジタル信号のシグナルインテグリティを悪化させる。シグナルインテグリティの悪化は、信号にグリッジを発生させる。デジタル論理は、閾値に基づいて真理値を決定する。リンギング等の発生は、論理入力回路において信号が誤認識される。

#### B.1.2 回路レイアウトの基本的事項

回路レイアウトの基本は、戻り電流経路に気を付けることである。高周波信号ではレイアウトを行なう際に、戻り経路が最も低インダクタンスと成る事を心掛ける。すなわち、ループ面積が最小化されているかを確認する。

### B.1.3 最小インピーダンス経路

高周波電流は、インダクタンスが最小の経路を通る。回路を流れる電流は、信号電流と戻り(帰路)電流と呼ばれる2つの電流の成分から構成される。信号電流と戻り電流は、ループを形成しインダクタンスを発生させる。インダクタンス  $L$  は電流ループの面積  $S$  に比例するので、インピーダンスは、 $Z = 2\pi fL \propto 2\pi fS$  となり、大きなループは高周波電流の流れを阻害する。ループによるインダクタンス成分は、主に以下の影響を回路へ及ぼす。

- 駆動回路や論理回路のゲートへの影響

- アナログ増幅回路へ発振を起こしたり、デジタル信号へリンギングやクロストークを発生させる。

- クロストークの発生

- ループはそのインダクタンス成分の為に大きな浮遊近傍磁界を形成し、その近傍磁界が周辺回路へ結合し、クロストークを発生させる。

- 不要放射成分

- 電流ループは、小さなアンテナとして作用し不要なエネルギーを放射する。

- 寄生容量が形成する経路

- インダクタンス成分が存在すると、寄生容量が形成する経路を信号が通り易くなる。容量性のインピーダンスは、周波数と共に減少するのでこの減少が発生し易い。

### B.1.4 共通インピーダンス対策

図 B.1 の回路 A において、増幅器 U1 と U2 が同じグラウンドに接続され、増幅器 U3 は独立したグラウンド線により接地されている。増幅器 U1 は、負荷抵抗  $R_L$  とグラウンド接続線を通じて大きな負荷電流を供給している。この負荷電流は、グラウンド線の寄生抵抗  $R_P$  と寄生インダクタンス  $L_P$  に対して電圧降下  $V_g$  を生じさせる。その結果、増幅器 U3 はグラウンド電位から上昇した電圧を基準として動作し、出力電圧  $V_2 + V_g$  を出力する。この現象を共通インピーダンス結合と言う。この負荷電流が時間的に変動している場合、グラウンド線のインダクタンス  $L_P$  はグラウンド電位の時間変動をもたらす。特に、高周波送信回路では大きな正弦波電流が流れる為に、その周波数によりグラウンド電位が変化する。この現象を回避するには、図 B.1 の回路 B の様に、増幅器 U2 と U3 のグラウンドを一点で接続する。

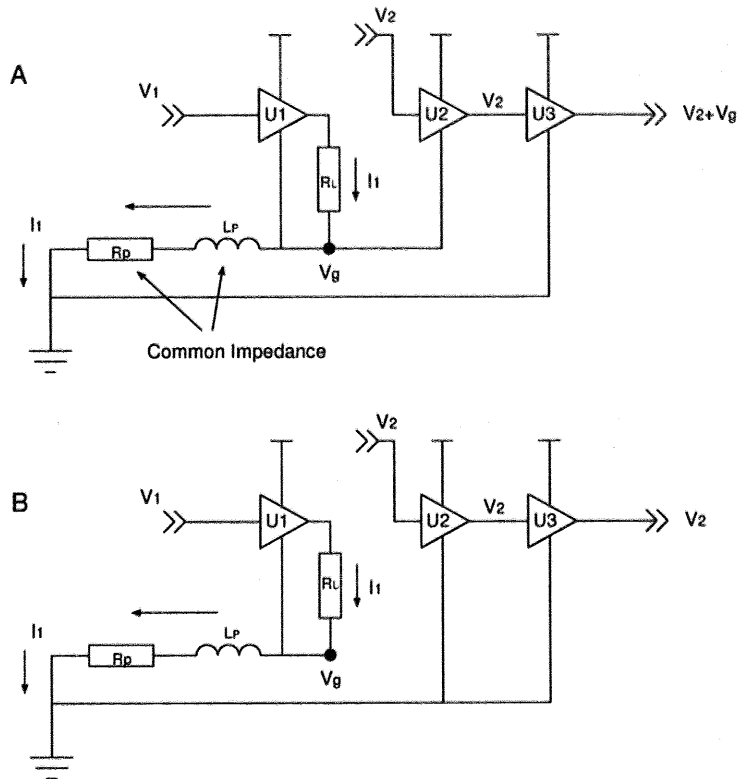


図 B.1: 共通インピーダンス結合の回路図。回路 A は増幅器 U1 と U2 が共通のグランドを持つ為に、増幅器 U3 の出力が変動する様子を表わす。回路 B はその対策として増幅器 U2 と U3 を共通のグランドとした。

デジタル回路では、信号が高レベルから低レベルに変化した時にこの現象が起こる。これをグランドバウンスと呼ぶ。デジタル回路のエッジは、高周波成分を多く含む。そこに含まれる高周波の戻り電流は、グランド線のインダクタンスの為に、グランド電位に顕著な変化を起こす。戻り電流が定常状態に戻ると、グランド電位も定常値に戻る。グランドバウンスは、グリッジを引き起こす。

例えば、32 ビットの信号バスで、全ての信号が同時に変化するとグランドバウンスは非常に大きくなる。これは、同時スイッチングノイズの問題として捉えられている。これは、定常的ではなく間欠的に起こるので再現が難しい。よって、基板設計では、適切なグランドと電源設計を行なうことは重要である。

### 高周波用分布グランド

高周波回路やデジタル回路では、分布グランド(多点グランド)を用いる。これは、金属板全体(グランドプレーン)をグランドとして使用する。この利点は、グランドプレーンのどの場所においても一様な伝送経路を形成できる事にある。それは、放射や誘導性のループを排除する。グランドプレーンは、大きな伝導性を持ち、グランド抵抗やグランドインダクタンスを最小化する事で、グランドバウンス等を防止できる。

### B.1.5 スイッチングノイズ対策

デジタル素子内部では、高速でスイッチングが行われている。これにより、スイッチング容量が充放電し、電源やグランドへ高周波電流が流入する。特に、多数のデジタル素子が同時にスイッチングを行うと、これに起因した電位の変化(グランド・バウンス)によりシステムを不安定にさせる。

グランド・バウンスにより、素子の電源電圧が変動すると、ドライバの出力電流が変化する。そして、レシーバ側の信号の立ち上がり時間が変化し、素子間の信号のタイミングに相違が生じる。また、論理の閾値の変動により、論理スイッチングの誤作動が起きる。次に挙げる対策を 1.5 cm バスの設計に反映させる。

### B.1.6 電源系のインダクタンス成分の低減

デジタル素子から電源、グランドへ流れ込む高周波電流により生じる電位変動を見積もる。電源とグランド配線のインダクタンス成分  $L$  により生じる電圧降下  $v_L$  は、流れる電流  $i$  に対し以下になる。

$$v_L = L \frac{di}{dt} \quad (\text{B.1})$$

誘導起電力  $v_L$  を低減させるには、インダクタンス成分  $L$  を減らすか、 $L$  へ流れ込む電流を制限する。例えば、平行 2 線へ電流が互いに逆に流れる場合のインダクタンス成分  $L$  は、自己インダクタンス  $L_1$  と  $L_2$  と相互インダクタンス  $M$  から以下の様になる。

$$L = L_1 + L_2 - 2M \quad (\text{B.2})$$

つまり、 $L$  を減らすには自己インダクタンスを減らすか、相互インダクタンスを増やす。以下へそれらの対策を表す。

- 自己インダクタンスを減らす

1. 多層基板を採用して、電源/グランドをプレーン化する。
2. LSI パッケージの電源/グランドピン数を増やす。配線長を短くする。

- 相互インダクタンスを増やす

1. 電源/グランドプレーンを近接させ、電流のループ面積を小さくする。
2. LSI パッケージの電源、グランドピンをペアで配置する。



### B.1.7 電源デカップリング

電源デカップリングには2つの目的がある。

- 電力の蓄積
  - － 負荷変動に対し、デカップリング容量が回路の負荷変動に対して常に一定の電源電圧となる様に電荷を供給する。
- 平滑化(フィルタリング)
  - － 電源からのノイズ、リップル成分をグランドへ導く。

インダクタンス  $L$  へ流れ込む電流を減らすには、高周波電流をバイパスさせ、LSI への電源供給を安定的に行う為に、デカップリング・コンデンサを電源とグランド間へ設置する。しかし、デカップリング・コンデンサには、リード部や電極部分に寄生インダクタンスが存在する。実際のコンデンサのインピーダンス特性は低周波領域では容量性であるが、自己共振周波数を越えると誘導性に転じ、デカップリングの役割を果たせなくなる。よって、構造的に自己インダクタンスが小さく自己共振周波数の大きい表面実装型のチップコンデンサを採用し、以上の影響を低減させる。

## 付 録 C 周波数依存のパラメータ

### C.1 表皮効果

高周波の電流や電磁波が導体の表面近くだけに局在し、導体内部に侵入しない現象を表皮効果と言う [35]。線路へ直流を流す場合、電流は導体断面を一様に流れる。従って、単位長さ当たりの直流抵抗を  $R_{dc}$  と定義すれば、導体の伝導率  $\sigma$  と線路の断面積 ( $w \times t$ ) からその値が求まる。

$$R_{dc} = \frac{1}{\sigma wt} \quad (C.1)$$

次に、線路へ交流を流す場合には、表皮効果により導体中の電流密度  $J_z$  は導体表面からの距離  $x$  と共に指数関数的に減少する。

$$J_z = J_0 e^{-\frac{(1+j)x}{\delta}} \quad (C.2)$$

ここで、電流密度の振幅が  $e^{-1}$  となる距離を表皮深さ  $\delta$  と呼び以下の式で表される。

$$\delta = \sqrt{\frac{1}{\pi f \mu \sigma}} \text{ (m)} \quad (C.3)$$

$f$  は周波数 (Hz)、 $\mu$  は導体の透磁率 (H/m) である。電流は、表皮深さ  $\delta$  よりも深くまで流れるが、導体表面から深さ方向へ電流密度を積分すると、結果的に  $\delta$  までの厚さを一様な電流が流れている事に等価になる。

$$J_{total} = \int_0^\infty J_z dx = \frac{J_0}{(1+j)} \delta \quad (C.4)$$

ここで、電流が表面から  $\delta$  までの深さを一様に流れるとし、この時の単位面積当たりのインピーダンスを導体表面インピーダンス  $Z_s$  と呼び、以下の様に定義する。

$$Z_s = \frac{E_0}{J_{total}} \quad (C.5)$$

$E_0$  は、導体表面における電流の進行方向の電場である。この式は、式 C.4 と

$$J_0 = \sigma E_0 \quad (C.6)$$

より、

$$Z_s = \frac{1}{\sigma \delta} + j \frac{1}{\sigma \delta} = R_s + j\omega L_i \quad (C.7)$$

となり、表面インピーダンスは、表面抵抗  $R_s$  と導体の内部インダクタンス  $L_i$  に分離できる。表面抵抗は次の様にも表せる。

$$R_s = \frac{1}{\sigma \delta} = \sqrt{\frac{\pi f \mu}{\sigma}} \text{ (}\Omega/\square\text{)} \quad (C.8)$$

この式から、表面抵抗は周波数  $f$  の平方根に比例する事が分かる。この様に、高周波は導体表面近くに局在するので、導体の有効な大きさが減少し、低周波と比べて電気抵抗が大きくなる。

## C.2 誘電損失

誘電体へ交流電流を流すと、電気エネルギーの一部がジュール熱となり失われる現象を誘電損失と言う [40]。これは、分極  $\mathbf{P}$  が、電場の変化に追従できずに電束密度  $\mathbf{D} = \epsilon_0 \mathbf{E} + \mathbf{P}$  が、電場  $\mathbf{E}$  に対して位相の遅れを生じることで起きる。 $\mathbf{D} = \epsilon(\omega) \mathbf{E}$  における応答関数  $\epsilon(\omega)$  が

$$\epsilon(\omega) = \epsilon'(\omega) + j\epsilon''(\omega) \quad (\text{C.9})$$

で与えられる。誘電体に与えられる電場を  $\mathbf{E}_0 e^{-j\omega t}$  とすると、

$$\mathbf{D} = (\epsilon'(\omega) + j\epsilon''(\omega)) \mathbf{E}_0 e^{-j\omega t} \quad (\text{C.10})$$

となる。 $\epsilon(\omega)$  の絶対値を  $|\epsilon|$  とし、 $|\epsilon| \cos \delta = \epsilon'(\omega)$ 、 $|\epsilon| \sin \delta = \epsilon''(\omega)$  で与えられる  $\delta$  を導入すると、

$$\mathbf{D} = |\epsilon| e^{j\delta} \mathbf{E}_0 e^{-j\omega t} \quad (\text{C.11})$$

となる。これにより、 $\mathbf{D}$  が  $\mathbf{E}$  に対して  $\delta$  だけ位相が遅れていることを示す。 $\delta$  を損失角とし、以下で示す誘電正接により材料の誘電損失特性を示す。

$$\tan \delta = \frac{\epsilon''(\omega)}{\epsilon'(\omega)} \quad (\text{C.12})$$

次に、あるコンデンサへ交流を流したときに誘電体がどの様に振る舞うか説明する。コンデンサの導体間に比誘電率  $\epsilon_r$  の誘電体が存在すると、この誘電体の分極により導体周囲の電荷が増し、静電容量は  $\epsilon_r$  倍に増える。この時、これらの導体の組を単純なコンデンサと考え、枝方程式を立てると以下の様になる。

$$I = j\omega \epsilon_r(\omega) C_0 V \quad (\text{C.13})$$

ここで、 $C_0$  は誘電体が存在しない場合の静電容量である。この時、電圧と電流の位相は  $90^\circ$  ずれておりエネルギーは消費されない。

変位電流をコンデンサへ流すと、誘電体は電場を与えられてから分極が起こるまでに若干の時間差がある。この時間差を虚数成分として組み込まれた式 C.10 の複素比誘電率から枝方程式は、

$$I = j\omega \epsilon_r'(\omega) C_0 V - \omega \epsilon_r''(\omega) C_0 V \quad (\text{C.14})$$

となる。この式から、電流と電圧が同相となる誘電体損失成分が出現する。この成分はジュール熱となり、エネルギーが消費される。等価的には、誘電体を挟むコンデンサには、以下のコンダクタンスの抵抗が直列に挿入されていると考えられる。

$$G = \omega \epsilon_r''(\omega) C_0 \quad (\text{C.15})$$

このコンダクタンスを配線のモデルパラメータとして求める。一般的には、コンダクタンス  $G$  を求める際には、誘電正接  $\tan \delta$  をデータシートから採用する。これを用いると、式 C.15 は次の様に書き表せる。

$$G = \omega \epsilon'_r(\omega) C_0 \tan \delta \quad (\text{C.16})$$

コンダクタンス  $G$  は、周波数に比例して大きくなる。



## 付録D 線路のインピーダンス

### D.1 電信方程式

伝送線路は、一般的に式 D.1 の電信方程式 (The telegrapher's equation) で記述できる。それぞれ、 $R$ 、 $L$ 、 $G$ 、 $C$  は行列である [35] [39]。

$$\left. \begin{aligned} \frac{\partial}{\partial x} v(x, t) &= -Ri(x, t) - L \frac{\partial}{\partial t} i(x, t) \\ \frac{\partial}{\partial x} i(x, t) &= -Gv(x, t) - C \frac{\partial}{\partial t} v(x, t) \end{aligned} \right\} \quad (\text{D.1})$$

これらをラプラス変換し、周波数領域 ( $s = j\omega$ ) の方程式とする。

$$\left. \begin{aligned} \frac{\partial}{\partial X} V(X, s) &= -(R + sL)I(X, s) = -ZI(X, s) \\ \frac{\partial}{\partial X} I(X, s) &= -(G + sC)V(X, s) = -YV(X, s) \\ Z &= R + sL \\ Y &= G + sC \end{aligned} \right\} \quad (\text{D.2})$$

ここで、 $Z$  は単位長さ当たりの線路インピーダンス ( $\Omega/\text{m}$ )、 $Y$  は単位長さ当たりの線路アドミタンス ( $\text{S}/\text{m}$ ) である。無損失線路 ( $R = G = 0$ ) としての電信方程式は、以下の様になる。

$$\left. \begin{aligned} \frac{\partial}{\partial X} V(X, s) &= -sLI(X, s) \\ \frac{\partial}{\partial X} I(X, s) &= -sCV(X, s) \end{aligned} \right\} \quad (\text{D.3})$$

式 D.2 を  $X$  でもう一度微分する。

$$\left. \begin{aligned} \frac{\partial^2}{\partial X^2} V(X, s) &= ZYV(X, s) \\ \frac{\partial^2}{\partial X^2} I(X, s) &= YZI(X, s) \end{aligned} \right\} \quad (\text{D.4})$$

ここで、以下の関係を導入する。

$$\gamma = \alpha + j\beta = \sqrt{ZY} = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (\text{D.5})$$

$$Z_0 = \sqrt{\frac{Z}{Y}} \quad (\text{D.6})$$

$\gamma$  は、複素伝搬定数と呼ばれ、実部  $\alpha$  は減衰定数、虚部  $\beta$  は位相定数である。 $\sqrt{\frac{Y}{Z}}$  は、アドミタンスを表すので、その逆数を  $Z_0$  とする。式 D.4 は、次の様に表される。

$$\left. \begin{aligned} \frac{\partial^2}{\partial X^2} V(X, s) &= \gamma^2 V(X, s) \\ \frac{\partial^2}{\partial X^2} I(X, s) &= \gamma^2 I(X, s) \end{aligned} \right\} \quad (D.7)$$

これらの一般解は、

$$\left. \begin{aligned} V(X, s) &= Ae^{-\gamma X} + Be^{\gamma X} \\ I(X, s) &= Ce^{-\gamma X} + De^{\gamma X} \end{aligned} \right\} \quad (D.8)$$

$A, B, C, D$  は積分定数である。これらは、次の様に書き改められる。

$$\left. \begin{aligned} V(X, s) &= Ae^{-\gamma X} + Be^{\gamma X} \\ I(X, s) &= \sqrt{\frac{Y}{Z}} (Ae^{-\gamma X} - Be^{\gamma X}) \\ &= \frac{1}{Z_0} (Ae^{-\gamma X} - Be^{\gamma X}) \end{aligned} \right\} \quad (D.9)$$

ここで、右辺第一項が進行波に、第二項が反射波に相当する。定数を決定する為に、始端 ( $X = 0$ ) と終端 ( $X = d$ ) における  $V$  と  $I$  を求める。ここで、線路が無限長 ( $X = \infty$ ) で有る場合には、

$$\left. \begin{aligned} \lim_{X \rightarrow \infty} Ae^{-\alpha X} &= 0 \\ \lim_{X \rightarrow \infty} Be^{\alpha X} &= \infty \end{aligned} \right\} \quad (D.10)$$

無限遠点において、電圧が  $\infty$  とは成り得ないので、反射波の項において  $B = 0$  でなければ成らない。電流に対しても同様なので、 $D = 0$  である。従って、線路上には進行波のみ存在する。改めて、進行波電圧を  $V_i$ 、進行波電流を  $I_i$  とおくと、

$$\left. \begin{aligned} V_i(X, s) &= Ae^{-\gamma X} \\ I_i(X, s) &= \frac{A}{Z_0} e^{-\gamma X} \end{aligned} \right\} \quad (D.11)$$

境界条件は、 $x = 0$  において、送電端電圧と電源電圧は等しい ( $V_i = V_s$ ) ので、

$$\left. \begin{aligned} A &= V_s \\ \frac{A}{Z_0} &= \frac{V_s}{Z_0} = I_s \end{aligned} \right\} \quad (D.12)$$

となり、

$$\left. \begin{aligned} V_i &= V_s e^{-\gamma X} \\ I_i &= I_s e^{-\gamma X} \end{aligned} \right\} \quad (D.13)$$

となる。 $V_i$  と  $I_s$  の比をとると、

$$\frac{V_i}{I_i} = \frac{V_s e^{-\gamma X}}{I_s e^{-\gamma X}} = \frac{V_s}{I_s/Z_0} = Z_0 \text{ } [\Omega] \quad (\text{D.14})$$

となる。 $Z_0$  は、

$$Z_0 = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \text{ } [\Omega] \quad (\text{D.15})$$

特に、 $\omega \rightarrow \infty$  においては次の様になる。

$$\lim_{\omega \rightarrow \infty} Z_0 = \sqrt{\frac{L}{C}} \quad (\text{D.16})$$

$Z_0$  は、時間や線路の長さに無関係であり、一次定数のみから決定される線路固有のインピーダンスであるので、特性インピーダンスと呼ぶ。

次に、特性インピーダンスをモード分解法を用いて求める。式 D.4 は、さらに次の様に変形できる。

$$\left. \begin{aligned} \frac{\partial^2}{\partial X^2} V(X, s) &= s^2 L C V(X, s) \\ \frac{\partial^2}{\partial X^2} I(X, s) &= s^2 C L I(X, s) \end{aligned} \right\} \quad (\text{D.17})$$

ここで、 $LC$  および  $CL$  について、次の固有値行列と固有ベクトル行列に分解する。

$$\left. \begin{aligned} LC &= M_v \lambda M_v^{-1} \\ CL &= M_I \lambda M_I^{-1} \end{aligned} \right\} \quad (\text{D.18})$$

$L, C$  は対称行列なので、同じ固有値行列  $\lambda$  を持つ。ここで、モード領域における電圧、電流を以下の様に定義する。

$$\left. \begin{aligned} v &= M_v^{-1} V \\ i &= M_I^{-1} I \end{aligned} \right\} \quad (\text{D.19})$$

式 D.19 を式 D.4 へ代入すると、次のモード領域の伝送線路方程式が求まる。

$$\left. \begin{aligned} \frac{\partial}{\partial X} v(X, s) &= -s M_v^{-1} L M_i i(X, s) \\ \frac{\partial}{\partial X} i(X, s) &= -s M_I^{-1} C M_v v(X, s) \end{aligned} \right\} \quad (\text{D.20})$$

式 D.20 において、以下の様に置く。

$$\left. \begin{aligned} l &= M_v^{-1} L M_i \\ c &= M_I^{-1} C M_v \end{aligned} \right\} \quad (\text{D.21})$$

以下の固有値行列  $\lambda$  との関係から、行列  $l$  と  $c$  は対角化される。

$$\left. \begin{aligned} \lambda &= M_v^{-1} L M_i M_I^{-1} C M_v = lc \\ &= M_I^{-1} C M_v M_v^{-1} L M_i = cl \end{aligned} \right\} \quad (\text{D.22})$$

以上の様に、実領域において相互結合のある系をモード領域において結合から切り離された系として取り扱え、特性インピーダンスは以下の様に求まる。

$$Z_0 = \sqrt{\frac{l}{c}} \quad (\text{D.23})$$

#### 信号伝播速度

$$v = \frac{1}{\sqrt{LC}} = \frac{c_0}{\sqrt{\epsilon_r}} = \frac{1}{\sqrt{\mu_0 \epsilon_0 \epsilon_r}} \quad (\text{D.24})$$

ここで、 $\epsilon_r$  と  $\mu_0$  は、真空中の誘電率と透磁率である。すなわち、伝送線路のパラメータ  $L$ 、 $C$  との間には式 D.24 の関係がある。配線長を  $l$  とすると、端子間の信号遅延時間  $t_d$  は以下になる。

$$t_0 = l\sqrt{LC} \quad (\text{D.25})$$



## 参考文献

- [1] E80 collaboration: M.J. Alguard *et al.*, Phys. Rev. Lett. **37** (1976) 1261, Phys. Rev. Lett. **23** (1969) 930.
- [2] E130 collaboration: G. Baum *et al.*, Phys. Rev. Lett. **51** (1983) 1135.
- [3] EMC collaboration: J. Ashman *et al.*, Phys. Lett. **B206** (1988) 364, Nucl. Phys. **B328** (1989).
- [4] E142 collaboration: P.L. Anthony *et al.*, Phys. Rev. Lett. **71** (1993) 959.
- [5] E143 collaboration: K. Abe *et al.*, Phys. Rev. Lett. **74** (1995) 346, Phys. Rev. Lett. **75** (1995) 25.
- [6] SMC (NA47) collaboration: D. Adams *et al.*, Phys. Lett. **B357** (1995) 248.
- [7] PHENIX collaboration: N. Saito *et al.*, Nucl. Phys. **A638** (1998) 575.
- [8] S.S. Adler *et al.*, Phys. Rev. **C71**(2005) 034908, 0459901.
- [9] K. Adcox *et al.*: Nucl.Instrum.Meth.A499:469-479,2003.
- [10] S.S. Adler *et al.*, Phys. Rev. Lett. **91**, 241803 (2003).
- [11] S.S. Adler *et al.*, Phys. Rev. Lett. **98**, 012002 (2007).
- [12] K. Adcox *et al.*, Phys. Lett. **B561** (2003) 82.
- [13] S.S. Adler *et al.*, Phys. Rev. Lett. **91**, 18231 (2003).
- [14] T. Horaguchi, Doctoral Thesis: *Prompt Photon Production in Proton-Proton Collisions at  $\sqrt{s} = 200$  GeV*, 2006.
- [15] Proposal for a Silicon Vertex Tracker (VTX) for the PHENIX Experiment, 2006
- [16] Journal of Physics G, Nuclear and Particle Physics, Volume 33, July 2006.
- [17] K. Fujiwara, Czechoslovak Journal of Physics, Vol. 55 (2005), No. 12 1639-1643.
- [18] J. Asai, Radiation Damage Study of Si Stripixel Sensor for PHENIX Upgrade,  
平成 18 年日本物理学会秋季大会 於ハワイ会場
- [19] Z. Lee, *et al.*, Nucl Instr. Meth. **A541**(2005)21-28.
- [20] W. Snoeys, *et al.*, Nucl Instr. Meth **A466**(2001) 366-375.
- [21] K. Wyllie, ALICE1LHCB Documentation, CERN, 2003.

- [22] P. Riedler, et al.: Nucl. Phys. A **501**, 111 (2003).
- [23] A.X. Widmer and P. A. Franaszek, A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code, IBM Journal of Research and Development, Volume 27, Number 5, Page 440, September 1983.
- [24] A. Kluge, ALICE Silicon Pixel On Detector Pilot System OPS2003- The missing manual, CERN Internal Note/ALICE-INT-2004-030 version 1.0, 2005.
- [25] IEEE Std 1149.1-1990, IEEE Standard Test Access Port and Boundary-Scan Architecture.
- [26] B. Gunning *et al.*, A CMOS Low Voltage-Swing Transmission-Line Transceiver, ISSCC Dig. Of Tech. Papers, February 1992, 58.
- [27] G. Anelli, R. Dinapoli, A. Kluge, Specification of the digital control part of the ANAPIL2, CERN, 2004.
- [28] P. Moreira, *et al.*, GOL Reference Manual, CERN-EP/MIC, 2001.
- [29] ユピセル N 宇部興産株式会社
- [30] JIS ハンドブック 第三巻 非鉄、2006 年 1 月 25 日発行、財団法人日本規格協会
- [31] ポリイミド系ボンディングシート (SPB-A シリーズ) 技術資料 1999 年 4 月改訂版 新日鐵化学株式会社
- [32] Synopsys. Inc: HSPICE Manual (2006).
- [33] Ron Schmitt, Electromagnetics Explained A Handbook for Wireless/RF, EMC, and High-Speed Electronics, Japanese translation published by Maruzen Co., Ltd, Tokyo.
- [34] J.A. Brandao Faria, Multiconductor Transmission-Line Structures, Wiley, New York, 1993.
- [35] C.R. Paul, Analysis of Multiconductor Transmission Lines, Wiley, New York, 1994.
- [36] DF18 シリーズコネクタデータシート ヒロセ電機株式会社
- [37] Linear Technology Corporation, LT1580/LT1580-2.5 Data Sheet.
- [38] M. Kurosawa *et al.*, RIKEN Accel. Prog. Rep. **40**, 2007.
- [39] 菊地憲太郎 (2002) 伝送回路 東京電機大学出版局
- [40] 物理学辞典編集委員会編 物理学辞典 (2005) 三省堂