

求め、 $\{F'\}$ を $\{F''\}$ に変換 (単なるベクトルの配置転換) した後で、式 (4) の 3 次元 DFT で $\{F''\}$ を求め、式 (3) の演算で、4 次元 DFT の結果を得る。

ここで蛇足ながら式 (4) を詳細に書くと次式のようになる。

$$\begin{bmatrix} F'(0,0,0,x_4) & F''(0,1,0,x_4) & \dots & F'(0,N-1,0,x_4) \\ F'(0,0,1,x_4) & F''(0,1,1,x_4) & \dots & F'(0,N-1,1,x_4) \\ \vdots & \vdots & & \vdots \\ F'(0,0,N-1,x_4) & F''(0,1,N-1,x_4) & \dots & F'(0,N-1,N-1,x_4) \\ F''(1,0,0,x_4) & F''(1,1,0,x_4) & \dots & F''(1,N-1,0,x_4) \\ F''(1,0,1,x_4) & F''(1,1,1,x_4) & \dots & F''(1,N-1,1,x_4) \\ \vdots & \vdots & & \vdots \\ F''(1,0,N-1,x_4) & F''(1,1,N-1,x_4) & \dots & F''(1,N-1,N-1,x_4) \\ F''(N-1,0,0,x_4) & F''(N-1,1,0,x_4) & \dots & F''(N-1,N-1,0,x_4) \\ F''(N-1,0,1,x_4) & F''(N-1,1,1,x_4) & \dots & F''(N-1,N-1,1,x_4) \\ \vdots & \vdots & & \vdots \\ F''(N-1,0,N-1,x_4) & F''(N-1,1,N-1,x_4) & \dots & F''(N-1,N-1,N-1,x_4) \end{bmatrix}$$

$$= \begin{bmatrix} W^0 & W^0 & \dots & W^0 \\ W^0 & W^1 & \dots & W^{N-1} \\ \vdots & \vdots & & \vdots \\ W^0 & W^{N-1} & \dots & W^{(N-1)^2} \end{bmatrix}$$

$$\begin{bmatrix} F'(0,0,0,x_4) & F'(0,1,0,x_4) & \dots & F'(0,N-1,0,x_4) \\ F'(0,0,1,x_4) & F'(0,1,1,x_4) & \dots & F'(0,N-1,1,x_4) \\ \vdots & \vdots & & \vdots \\ F'(0,0,N-1,x_4) & F'(0,1,N-1,x_4) & \dots & F'(0,N-1,N-1,x_4) \\ F'(1,0,0,x_4) & F'(1,1,0,x_4) & \dots & F'(1,N-1,0,x_4) \\ F'(1,0,1,x_4) & F'(1,1,1,x_4) & \dots & F'(1,N-1,1,x_4) \\ \vdots & \vdots & & \vdots \\ F'(1,0,N-1,x_4) & F'(1,1,N-1,x_4) & \dots & F'(1,N-1,N-1,x_4) \\ F'(N-1,0,0,x_4) & F'(N-1,1,0,x_4) & \dots & F'(N-1,N-1,0,x_4) \\ F'(N-1,0,1,x_4) & F'(N-1,1,1,x_4) & \dots & F'(N-1,N-1,1,x_4) \\ \vdots & \vdots & & \vdots \\ F'(N-1,0,N-1,x_4) & F'(N-1,1,N-1,x_4) & \dots & F'(N-1,N-1,N-1,x_4) \end{bmatrix}$$

一般に多変数関数を $f(x_1, x_2, x_3, \dots, x_N)$ と表すと、高次元 DFT を行うために必要なマトリクス ($\{F'\}$, $\{F''\}$, $\{F'''\}$, ... など) は、 $x_N, x_3, x_1, x_2, x_4, x_6, \dots, x_{N-1}$ ($N \geq 3$) の順序で変数を変化させて作成すればよい。但しこの場合、式 (1) より分かるように、 x_N の変化は列ベクトルを表し、その他の変数の変化は行ベクトルを表す。

文 献

(1) 宮川, 渡部: “画像エレクトロニクスの基礎” (Jan. 1975).

(昭和 50 年 4 月 7 日受付)

UDC 621.316.729 : 681.325.5

ディジタル位相同期系の同期範囲拡大について

小川 恭孝 仙石 正和 松本 正

小川恭孝, 仙石正和, 松本 正: 正員 北海道大学工学部電子工学科

On Expansion of a Pull-in-Range of a Digital Phase-Locked Loop. By Yasutaka OGAWA, Masakazu SENGOKU and Tadashi MATSUMOTO, Regular Members (Faculty of Engineering, Hokkaido University, Sapporo-shi, 060 Japan).

論文番号: 昭 50-446[A-128]

周波数固定のバルス発振器と論理回路によって構成されたディジタル位相同期系 (DPLL と略す) についての報告がなされている^{(1)~(3)}。しかるに、これまでの系においてはジッタ抑圧効果と同期範囲の間には、相反する関係がある。山本らは分周比を可変とすることにより同期範囲を拡大する方式を提案している⁽⁶⁾。しかし、この系では位相制御ループ内の可逆カウンタ (ループフィルタとして動作) の段数は同期条件から 2 を越えることは許されない。その結果、複数のバルスにわたって相関を持った入力ジッタに対し抑圧効果は、ほとんど現れない。本文においては、従来の DPLL^{(1),(3)} にディジタル IC で構成可能な周波数制御回路を付加することにより、同期範囲が広くジッタ抑圧効果のすぐれた系の提案を行う^{(4),(6)}。

系の構成を図 1 に示す。ここで入力周波数、DPLL 自走周波数を、それぞれ、 f_{in}, f_0 とする。図 1 の位相制御回路が従来の 2 値量子化 DPLL である^{(1)~(3)}。2 値位相比較器は出力位相が入力より遅れているとき、可逆カウンタに 1 を加

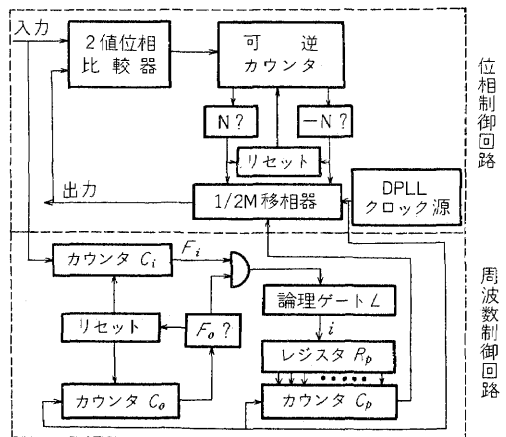


図 1 系の構成 Fig.1-Configuration of the system.

算し、進んでいるときには1を減算する。可逆カウンタは内部状態が N (又は $-N$)になると、 $1/2M$ 移相器に制御パルスを送り、出力位相を $d(1/2M$ タイムスロット)進め(遅らせ)0にリセットされる。移相器の構成については、 $2M$ 個のタップのついた遅延回路に周波数 f_0 の発振器出力を加え、出力を取り出すタップをかえる方式⁽²⁾と、周波数 $2Mf_0$ の発振器出力にパルスの付加、又は、除去を行い、これを $2M$ 分周する方式^{(1),(3)}が知られている。

図1の周波数制御回路が本文で提案する回路である。ここでは、 f_{in} と f_0 の差を検出し、周期的な位相の制御を前述の位相制御回路とは独立に行う。カウンタ C_i 、 C_0 は始め0にリセットされており、それぞれ入力パルス(周波数 f_{in})、及び、DPLLクロック源のパルス(周波数 f_0)を数える。 C_0 に F_0 個のパルスが加わるたびに、 C_i の内容 F_i を論理ゲート L に送り、 C_i 、 C_0 は0にリセットされる。リセットされた C_i 、 C_0 は、再び入力及びクロック源のパルスを数え始める。論理ゲート L は

$$F_0 / (2M \cdot |F_i - F_0|) \quad (1)$$

に最も近い整数 i をレジスタ R_p に記憶させる。カウンタ C_p は i 個のパルスに1回、 d だけ位相の制御を行う。クロック源が F_0 個のパルスを発振する間に、入力と約 $(F_i - F_0)$ タイムスロットの位相差が生じたのであるから、 i 個のパルスごとに d の制御を行うと、入出力の周波数は、ほぼ一致し、前述の位相制御回路の働きにより完全に同期が行われる。ここで f_{in} と f_0 間の差を精密に検出し、適当な制御周期 i を得るために、 F_0 は十分大きな値であることが必要である⁽⁴⁾。又、入力側に障害が発生しパルスが停止した場合には、 R_p への制御周期の書替を禁止することにより、誤った周波数制御を防ぐことができる。

次に本文で提案した系の同期範囲の上限 f_h 、下限 f_l を求める。周波数制御回路の周期が i のとき、同期できる入力の周波数を $f(i)$ とすると式(2)が成立する⁽⁴⁾。

$$\left| \frac{1}{f(i)} - \frac{1}{f_0} \right| - \frac{1}{2M \cdot i \cdot f_0} \leq \frac{1}{2M \cdot N \cdot f_0} \quad (2)$$

$f(i) \geq f_0$ について式(2)を解くと式(3)が求まる。

$$f_{\min}(i) \leq f(i) \leq f_{\max}(i) \quad (3)$$

但し、

$$f_{\min}(i) = f_0 / \left\{ 1 - \frac{1}{2M} \left(\frac{1}{i} - \frac{1}{N} \right) \right\} \quad (4)$$

$$f_{\max}(i) = f_0 / \left\{ 1 - \frac{1}{2M} \left(\frac{1}{i} + \frac{1}{N} \right) \right\} \quad (5)$$

同期範囲が連続しているためには

$$f_{\min}(i) \leq f_{\max}(i+1) \quad (6)$$

が必要十分条件である。式(4),(5),(6)から

$$N \leq 2i(i+1) \quad (7)$$

が得られる。式(7)を満たす最小の整数 i を i_{\min} とすると、

$$f_h = f_0 / \left\{ 1 - \frac{1}{2M} \left(\frac{1}{i_{\min}} + \frac{1}{N} \right) \right\} \quad (8)$$

が成立する。同様に式(2)を $f(i) < f_0$ について解くと、

$$f_l = f_0 / \left\{ 1 + \frac{1}{2M} \left(\frac{1}{i_{\min}} + \frac{1}{N} \right) \right\} \quad (9)$$

が得られる。ここで i_{\min} は f_h の場合と同じである。位相制御回路の部分(従来のDPLL)が持つ同期範囲の上限 f_h' 、下限 f_l' は次式で与えられる^{(2),(3)}。

$$f_h' = f_0 / \{ 1 - 1 / (2M \cdot N) \} \quad (10)$$

$$f_l' = f_0 / \{ 1 + 1 / (2M \cdot N) \} \quad (11)$$

$2M=32$ としたときの同期範囲の上限、下限を f_0 で正規化し表1に示す。この表から周波数制御回路の働きにより同期範囲が大きく改善されていることが分かる。

前述の F_0 が十分大きく、適当な制御周期 i が得られている限り、ジッタ抑圧効果は良好であることが確認されたが、詳細は文献(4)に譲る。

DPLLを用いて、スタックジッタなどの抑圧を行う場合、可逆カウンタの段数 N は、かなり大きな値が必要となる。その結果、従来のDPLLでは同期範囲が著しくせばまり、本文で提案した系が有効になる。

表1 同期範囲 ($2M=32$)

N	周波数制御あり		周波数制御なし	
	f_l/f_0	f_h/f_0	f_l'/f_0	f_h'/f_0
10^2	$1-4.8 \times 10^{-3}$	$1+4.8 \times 10^{-3}$	$1-3.1 \times 10^{-4}$	$1+3.1 \times 10^{-4}$
10^3	$1-1.4 \times 10^{-3}$	$1+1.5 \times 10^{-3}$	$1-3.1 \times 10^{-5}$	$1+3.1 \times 10^{-5}$
10^4	$1-4.4 \times 10^{-4}$	$1+4.4 \times 10^{-4}$	$1-3.1 \times 10^{-6}$	$1+3.1 \times 10^{-6}$
10^5	$1-1.4 \times 10^{-4}$	$1+1.4 \times 10^{-4}$	$1-3.1 \times 10^{-7}$	$1+3.1 \times 10^{-7}$

文 献

- (1) J. R. Cessna and D. M. Levy: "Phase noise and transient times for a binary quantized digital phase-locked loop in white Gaussian noise", IEEE Trans., COM-20, 2, p.94 (April 1972).
- (2) 尾佐竹, 小川: "量子化同期方式", 信学論(A), 56-A, 8, p.468 (昭48-08).
- (3) 湯川, 森: "二値量子化全デジタル位同期系", 信学論(A), 56-A, 12, p.751 (昭48-12).
- (4) 小川, 仙石, 松本: "デジタル位同期系への一提案", 信学会通信方式研資, CS74-157 (1975-01).
- (5) 小川, 仙石, 伊藤, 松本: "周波数制御器を含むデジタル位同期系について", 昭50信学全大, 1730.
- (6) 山本, 森: "広帯域全デジタル位同期系", 信学論(A), 58-A, 3, p.173 (昭50-03).

(昭和50年4月21日受付)