

K4 行列乗算用光コンピュータ ～システムの設計・試作～

○浅井 洋樹* 伊藤 彰* 三田 元仁** 大河 正志* 関根 征士*

*新潟大工 **新潟職能短大

1 はじめに

デジタルコンピュータ技術の発展とともに、その応用分野は急速に拡大しており、情報処理の対象も大規模で複雑かつ多様なものとなってきている。それに伴い、コンピュータの処理能力に対する要求は高まる一方である。これまでのデジタルコンピュータの発展を支えてきた VLSI の進歩も、その高密度集積化は困難になってきている。光伝送技術には、空間的並列性、超高速性、無誘導性という特長があり、従来のコンピュータが抱えていた本質的な問題をいくつか解決できると考えられる。

我々は、光コンピュータの効果的な応用として、例えばフーリエ変換のような線型変換を考え、そのためのアーキテクチャやアルゴリズムを提案してきた^[1]。これらは行列の乗算として表現でき、例えば、2次元離散的フーリエ変換やアダマール変換は、3つの行列の積で表される。提案するシステムは並列デジタル方式のフーリエ光学系プロセッサであり、空間光変調器による並列演算を行う。現在は、行列乗算用光コンピュータの動作実証用小型システム試作に向け、光学系の設計、システム構成デバイスの検討、さらに処理能力の評価などを行っている。今回は、システムのアルゴリズムを細部にわたり設計し、その処理能力について評価を行ったので報告する。

2 システムの概要

2.1 設計思想

基本的なアーキテクチャの設計思想は次の通りである。

- (1) 行列次数 n の 2 乗個 (n^2 個) のできるだけ単純な加算器を用意することによって、演算時間を n 比例にする。
- (2) 剰余数システムの採用により、演算時間を短縮する。
- (3) 光フリップフロップの採用により、フーリエ光学系プロセッサにおけるデータの流れを双方向にし、プロセッサをシンプルにする。

2.2 剰余数システム

剰余数システムは、法と呼ばれる N 個の互いに素な(共役数を持たない)整数 m_1, m_2, \dots, m_N の上に成り立っている。ある法 m_r に対する、任意の整数 X の剰余とは、 X を m_r で割ったときの余りのうち最小の正数(ゼロを含む)によって定義される。剰

余数システムにおいては、それぞれの法に対する加減乗算の演算を独立に、すなわち並列に行うことが可能である。

2.3 行列乗算のアーキテクチャとアルゴリズム

行列乗算は、演算に剰余数システムを採用しているため、次の3つのステップによって実行される。

- (1) 2進数から剰余への変換
- (2) 剰余数システムにおける行列乗算
- (3) 剰余から2進数への変換

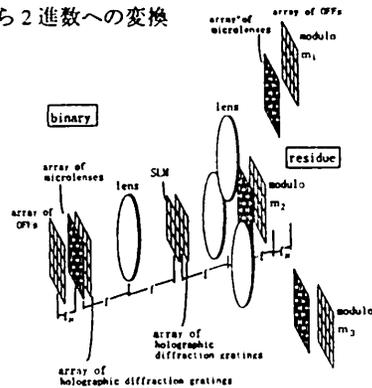


図1 システムの構成

我々が提案するシステムを図1に示す。行列データは2進数側レジスタに入力され、OFF (optical flip-flop; 光フリップフロップ) が発光し、データは SLM (spatial light modulator; 空間光変調器) によって処理され、剰余側レジスタにおいて行列2進数データが剰余に変換される。剰余側レジスタにおいて剰余数システムにおける行列乗算が行われた後、次に剰余から2進数への変換が行われ、行列乗算の結果が2進数側レジスタに設定される。剰余側レジスタは法の数分に分かれて、並列に演算を行う。

3 演算時間特性

我々が提案するシステムの演算時間特性を評価するために、SLM の応答時間によって2つに分け (scheme1-1, scheme1-2)、他の方式2つ (scheme2, scheme3) と比較してみる。

scheme1-1

剰余数システムを採用したフーリエ光学系プロセッサ。SLM として、理想的な液晶を想定する。 $t_{Co} = 0.1\mu s, t_{SLM} = 0.1\mu s$ 。

scheme1-2

剰余数システムを採用したフーリエ光学系プロセッサ。SLM として、研究室所有の強誘電性液晶を想

定する。 $t_{Co} = 0.1\mu s, t_{SLM} = 100\mu s$ 。

scheme2

2 進数システムで行列乗算をおこなう全電子システム。シフトレジスタと n^2 個の加算器により演算を実行する。演算時間は $w_u^2 \cdot t_{Ce} \cdot n$ とする。

$t_{Ce} = 0.1\mu s$ 。

scheme3

市販されているマイクロコンピュータ用プロセッサ。演算時間は $22 \cdot n^3 \cdot t_{Ccc}$ と仮定する。

$t_{Ccc} = 5ns$ (200MIPS)。

t_{Co} : 剰余数システムを採用したフーリエ光学系プロセッサにおけるクロック周期

t_{SLM} : SLM の応答時間

w_u : 入力行列の最大の要素のビット数

t_{Cc} : 全電子システムのクロック周期

t_{Ccc} : マイクロコンピュータの 1 命令あたりの平均実行時間

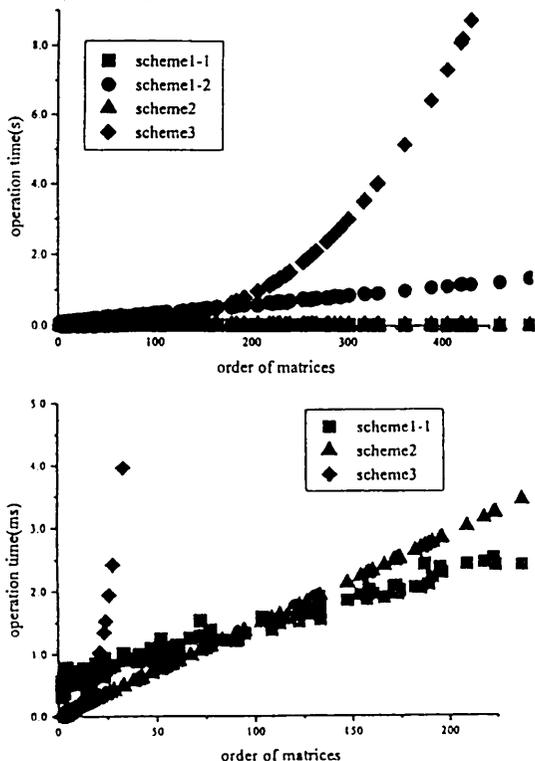


図 2 行列次数 - 演算時間

(上) $w_u = 8bit$ (下) $w_u = 12bit$

図 2 に入力行列要素の最大ビット数 w_u を一定としたときの行列次数 対 演算時間のグラフを示す。

行列次数が大きくなるにつれ, scheme3 のマイクロコンピュータは演算時間が急激に増加する。我々が提案するシステムは、行列次数が小さいうちは scheme2 の全電子システムのほうが演算時間が短い、行列次数が大きくなると (入力が 12 ビットの場合、次数が 150 以上になると) 有利になる。

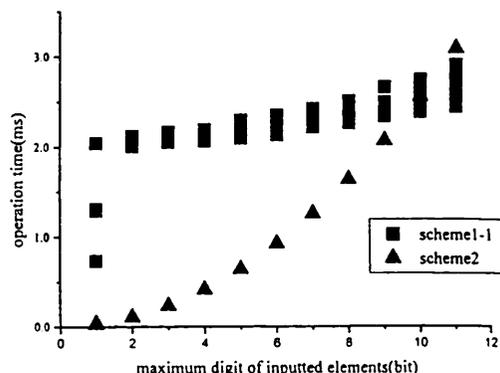


図 3 行列要素のビット数 - 演算時間 $n = 256$

図 3 は行列次数を一定としたときの入力行列要素の最大ビット数 対 演算時間のグラフである。入力ビット数が小さいときは scheme2 の全電子システムのほうが演算時間が短い、入力ビット数が大きくなると (行列次数が 256 の場合、入力ビット数が 11 以上になると) 有利になる。

4 まとめ

我々が提案するシステムは、行列次数および入力ビット数に対して大きく増加しない。よって、行列次数および入力ビット数が大きくなればなるほど他のシステムに対して有利になる。しかし scheme1-2 にみるように、SLM の応答時間が遅い場合は全電子システムのほうが有利になる場合がある。これは SLM の応答が他の素子に比べ、非常に遅いためである。そのため、より高速な SLM の開発が期待される。

参考文献

[1] S.Ando, S.Sekine, M.Mita and S.Katsuo, "Optical computing using optical flip-flops in Fourier processors : use in matrix multiplication and discrete linear transforms" : Appl. Opt., Vol.28, No.24, pp.5363 - 5373 (1989)

[2] 浅井, 上野, 三田, 大河, 関根 : 1995 年 (平成 7 年) 電気学会東京支部新潟支所研究発表会, 予稿集 pp.113-114

[3] 浅井, 上野, 三田, 大河, 関根 : 1996 年 (平成 8 年) 春季応用物理学関係連合講演会, 28a-SZ-6, 講演予稿集第 3 分冊 p.914